

CORR. U>: 5-471-082

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-193153

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl. ⁶	識別記号	F I
H01L 21/8249		
27/06		
27/04		
21/822		
21/331		

審査請求 未請求 請求項の数17 O L (全26頁) 最終頁に続く

(21)出願番号	特願平5-333781	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成5年(1993)12月27日	(72)発明者	前田 弘 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	弁理士 野河 信太郎

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【構成】 第1導電型埋め込みコレクタ、第2導電型ベース、及び第1導電型エミッタを具備した縦型バイポーラトランジスタの前記第2導電型ベースにおける不純物濃度が約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ 、第2導電型ベースの拡散深さが $0.8 \sim 2.3 \mu\text{m}$ であり、さらに、第2導電型ベースと第1導電型エミッタとが短絡されている静電破壊防止素子を有する半導体装置。

【効果】 上記の構成の静電破壊防止素子において、コレクターエミッタ間でパンチスルーブレイクダウンを起こさせ、それをトリガーとしてスナップバックを起こさせることができる。従って、エミッタ領域全域に空乏層が大きく広がり、電界が集中しにくくなるとともに、電流が集中しなくなり、アバランシェブレイクダウントリガーのような発熱による素子の破壊が起こりにくい静電破壊防止素子を具備した半導体装置を提供することができる。

【特許請求の範囲】

【請求項 1】 半導体基板を用いて形成された又は半導体基板の表面層から該半導体基板上に積層されたエピタキシャル層にかけて形成された第 1 導電型埋め込みコレクタ、

前記エピタキシャル層に形成された低濃度不純物ウェルである第 2 導電型ベース、及び前記第 2 導電型ベースの表面層に形成された第 1 導電型エミッタ、

を具備した縦型バイポーラトランジスタの前記第 2 導電型ベースにおける不純物濃度が約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ 、第 2 導電型ベースの拡散深さが $0.8 \sim 2.3 \mu\text{m}$ であり、さらに、第 2 導電型ベースと第 1 導電型エミッタとが短絡されている静電破壊防止素子を有することを特徴とする半導体装置。

【請求項 2】 静電破壊防止素子が、N 又は P チャネルあるいは CMOS に併設されている請求項 1 記載の半導体装置。

【請求項 3】 静電破壊防止素子が、バイポーラトランジスタに併設されている請求項 1 記載の半導体装置。

【請求項 4】 静電破壊防止素子が、BiCMOS に併設されている請求項 1 記載の半導体装置。

【請求項 5】 半導体基板を用いて形成された又は半導体基板の表面層から該半導体基板上に積層されたエピタキシャル層にかけて形成された第 1 導電型埋め込みコレクタ、

前記エピタキシャル層に形成された低濃度不純物ウェルである第 2 導電型ベース、

前記第 2 導電型ベースの表面層に形成された第 1 導電型エミッタ、及び前記第 2 導電型ベースに隣接して形成され、表面層に高濃度取り出し拡散層を有する第 1 導電型埋め込みコレクタ取り出し拡散層、を具備した縦型バイポーラトランジスタの前記第 2 導電型ベースが、表面層であって、かつ少なくとも第 1 導電型埋め込みコレクタ取り出し拡散層内の高濃度取り出し拡散層に接触する第 2 導電型の高濃度拡散層を有しており、前記第 2 導電型ベースの不純物濃度が約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ 、第 2 導電型ベースの拡散深さが $0.8 \sim 2.3 \mu\text{m}$ であり、さらに、第 2 導電型ベースと第 1 導電型エミッタとが短絡されている静電破壊防止素子を有することを特徴とする半導体装置。

【請求項 6】 第 1 導電型埋め込みコレクタ取り出し拡散層内から第 2 導電型ベース内にわたって、第 1 導電型コレクタ補償拡散層が形成されており、第 2 導電型の高濃度拡散層が、さらに前記第 1 導電型コレクタ補償拡散層に接触している請求項 5 記載の半導体装置。

【請求項 7】 第 2 導電型の高濃度拡散層が約 $6 \times 10^{11} \sim 2 \times 10^{12} \text{ cm}^{-3}$ である請求項 5 又は 6 のいずれかに記載の半導体装置。

【請求項 8】 静電破壊防止素子が、N 又は P チャネルあるいは CMOS に併設されている請求項 5 ～ 7 のい

れかに記載の半導体装置。

【請求項 9】 静電破壊防止素子が、バイポーラトランジスタに併設されている請求項 5 ～ 7 のいずれかに記載の半導体装置。

【請求項 10】 静電破壊防止素子が、BiCMOS に併設されている請求項 5 ～ 7 のいずれかに記載の半導体装置。

【請求項 11】 N 又は P チャネル MOS もしくは CMOS トランジスタと静電破壊防止素子とを具備する請求項 1 記載の半導体装置の製造方法において、(i) 半導体基板に、MOS トランジスタ形成領域として第 2 導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第 2 導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) MOS トランジスタの前記第 2 導電型低濃度不純物ウェルに第 1 導電型ソース／ドレイン領域を形成すると同時に、静電破壊防止素子の前記第 2 導電型ベース内に第 1 導電型エミッタを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 12】 バイポーラトランジスタと静電破壊防止素子とを具備する請求項 1 記載の半導体装置の製造方法において、(i) バイポーラトランジスタの素子分離のための第 2 導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第 2 導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) バイポーラトランジスタの第 2 導電型ベースを形成したのち、バイポーラトランジスタの第 2 導電型ベース内に第 1 導電型エミッタを形成すると同時に、静電破壊防止素子の第 2 導電型ベース内に第 1 導電型エミッタを形成する工程、を含むことを特徴とする半導体装置の製造方法。

【請求項 13】 BiCMOS と静電破壊防止素子とを具備する請求項 1 記載の半導体装置の製造方法において、(i) MOS トランジスタ形成領域として第 2 導電型低濃度不純物ウェルと、バイポーラトランジスタの素子分離のための第 2 導電型低濃度不純物ウェルとを形成すると同時に、静電破壊防止素子の第 2 導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) バイポーラトランジスタの第 2 導電型ベースを形成したのち、MOS トランジスタのソース／ドレイン領域と、バイポーラトランジスタの第 2 導電型ベース内に第 1 導電型エミッタとを形成すると同時に、静電破壊防止素子の第 2 導電型ベース内に第 1 導電型エミッタを形成する工程、を含むことを特徴とする半導体装置の製造方法。

【請求項 14】 N 又は P チャネル MOS もしくは CMOS トランジスタと静電破壊防止素子とを具備する請求項 5 記載の半導体装置の製造方法において、(i) 半導体基板に、MOS トランジスタ形成領域として第 2 導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第 2 導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) MOS トランジスタの第

10

20

30

40

50

2 導電型低濃度不純物ウェル内の素子分離領域となる領域に、表面反転電圧確保のための第 2 導電型の高濃度拡散層を形成すると同時に、静電破壊防止素子の第 2 導電型ベース内に第 2 導電型の高濃度拡散層を形成する工程、(iii) MOS トランジスタの前記第 2 導電型低濃度不純物ウェルに第 1 導電型ソース/ドレイン領域を形成すると同時に、静電破壊防止素子の前記第 2 導電型ベース内に第 1 導電型エミッタを形成するとともに、前記静電破壊防止素子の第 2 導電型ベース内の第 2 導電型の高濃度拡散層と接触するように第 1 導電型埋め込みコレクタ取り出し拡散層の表面層に高濃度取り出し拡散層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 15】 バイポーラトランジスタと静電破壊防止素子とを具備する請求項 5 記載の半導体装置の製造方法において、(i) バイポーラトランジスタの素子分離のための第 2 導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第 2 導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) バイポーラトランジスタの第 2 導電型低濃度不純物ウェル内の素子分離領域となる領域に、表面反転電圧確保のための第 2 導電型の高濃度拡散層を形成すると同時に、静電破壊防止素子の第 2 導電型ベース内に第 2 導電型の高濃度拡散層を形成する工程、(iii) バイポーラトランジスタの第 2 導電型ベースを形成した後、バイポーラトランジスタの第 2 導電型ベース内に第 1 導電型エミッタを形成すると同時に、静電破壊防止素子の第 2 導電型ベース内に第 1 導電型エミッタを形成するとともに、前記静電破壊防止素子の第 2 導電型ベース内の第 2 導電型の高濃度拡散層と接触するように第 1 導電型埋め込みコレクタ取り出し拡散層の表面層に高濃度取り出し拡散層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 16】 BiCMOS と静電破壊防止素子とを具備する請求項 5 記載の半導体装置の製造方法において、(i) MOS トランジスタ形成領域として第 2 導電型低濃度不純物ウェルと、バイポーラトランジスタの素子分離のための第 2 導電型低濃度不純物ウェルとを形成すると同時に、静電破壊防止素子の第 2 導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) MOS トランジスタの第 2 導電型低濃度不純物ウェル内の素子分離領域となる領域と、バイポーラトランジスタの第 2 導電型低濃度不純物ウェル内の素子分離領域となる領域とに、表面反転電圧確保のための第 2 導電型の高濃度拡散層を形成すると同時に、静電破壊防止素子の第 2 導電型ベース内に第 2 導電型の高濃度拡散層を形成する工程、(iii) バイポーラトランジスタの第 2 導電型ベースを形成した後、MOS トランジスタのソース/ドレイン領域と、バイポーラトランジスタの第 2 導電型ベース内に第 1 導電型エミッタとを形成すると同時に、静電破壊防止素子の第 2 導電型ベース内に第 1 導電型エミ

ッタを形成するとともに、前記静電破壊防止素子の第 2 導電型ベース内の第 2 導電型の高濃度拡散層と接触するように第 1 導電型埋め込みコレクタ取り出し拡散層の表面層に高濃度取り出し拡散層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 17】 静電破壊防止素子の前記第 2 導電型ベース内に第 2 導電型の高濃度拡散層を形成した後、該第 2 導電型の高濃度拡散層に接触するように、第 1 導電型埋め込みコレクタの取り出し拡散層内から第 2 導電型ベース内にわたって第 1 導電型コレクタ補償拡散層を形成する工程を含む請求項 14 ～ 16 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置及びその製造方法に関し、より詳細には、静電破壊防止素子として、縦型バイポーラトランジスタを有する MOS、BiCMOS 又はバイポーラ等の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来から、半導体装置の保護回路が組み込まれた種々の半導体装置が提案されている。

(i) 例えば、特開昭 62-69678 号公報には、MOS プロセスにおいて、エピタキシャル層を用いない静電破壊防止素子として、横型バイポーラトランジスタを用いる発明が提案されている。このような横型バイポーラトランジスタにおいては、アバランシェブレイクダウン電流をトリガーとし、スナップバックして電流が流れるものである。以下に、横型バイポーラトランジスタの製造方法を説明する。

【0003】 図 34 (a) に示したように、 $2 \times 10^{11} \text{ cm}^{-3}$ 程度の p 基板 301 上全面に、熱酸化膜とナイトライド膜を形成し、活性領域となる部分にナイトライド膜 302 を残すようにエッチングする。次いで、図 34 (b) に示したように、ロコス酸化後、ベース取り出し拡散層を形成するため、レジストをマスク 303 として用いて、所望の領域にイオン注入 (BF_3) を行う。

【0004】 その後、図 34 (c) に示したように、エミッタ、コレクタ形成のため、レジストをマスク 304 として用いて、所望の領域にイオン注入 (As) を行う。そして、図 34 (d) に示したように、メタル配線 (図 35 中、305) によって、エミッタとベースとをショートさせて、横型バイポーラトランジスタを作製する。

【0005】 この半導体装置の平面図を図 35 に示す。この静電破壊防止素子の横型バイポーラトランジスタは、コレクタに逆バイアスをかけると、コレクターベース間でアバランシェブレイクダウンを起こす。このアバランシェブレイクダウン電流がトリガーとなり、ラン

10

20

30

40

50

ジスタ動作が起こり、スナップバックして電流が流れる。この素子を回路入力部分に採用することにより、静電気による過電流、過電圧を逃がし、内部回路の保護に使用することができる。

【0006】(ii)また、上記のようなMOSプロセスの他に、パンチスルーブレイクダウンをトリガーとして、スナップバックする横型バイポーラトランジスタを、静電破壊防止素子として用いるものも提案されている。図36(a)に示したように、p⁺基板311に熱酸化膜とナイトライド膜を形成し、素子分離領域となる部分以外

10

のナイトライド膜を除去し、活性領域となる領域上にナイトライド膜312を形成する。この時、エミッタとコレクタとが形成される領域間のスペースXは上記の例で示したものよりも狭くする。これはコレクターベース間のアバランシェブレイクダウンを起こす電圧よりも低い電圧で、コレクターエミッタ間のパンチスルーブレイクダウンを起こさせるためである。

20

【0007】次いで、図36(b)に示したように、ロコス酸化を行い、ナイトライド膜312を除去する。そして、ベース取り出し拡散を形成するため、レジストをマスク313として用いて、所望の領域にイオン注入（⁺B F₃）を行う。その後、図36(c)に示したように、エミッタ、コレクタ形成のため、レジストをマスク314として用いて、所望の領域にイオン注入（⁺A s⁺）を行う。

30

【0008】そして、図36(d)に示したように、メタル配線（図37中、315）によって、エミッタとベースとをショートさせて、横型バイポーラトランジスタを作製する。この半導体装置の平面図を図37に示す。この静電破壊防止素子の横型バイポーラトランジスタは、コレクタに逆バイアスをかけると、コレクターエミッタ間でパンチスルーブレイクダウンを起こす。このパンチスルーブレイクダウン電流がトリガーとなりトランジスタ動作が起こり、スナップバックして電流が流れる。この素子を回路入力部分に採用し、静電気による過電流、過電圧をこの素子により逃がし、内部回路の保護に使用している。

40

【0009】(iii)さらに、特公昭61-36711号公報には、バイポーラプロセスにおいて、アバランシェブレイクダウン電流をトリガーとして、スナップバックする縦型バイポーラトランジスタを静電破壊防止素子として用いる発明が提案されている。図38(a)に示したように、p型基板321上に、アンチモン(Sb)を含むスピンオンガラス(SOG)（図示せず）を塗布し、ドライブインでn⁺埋め込みコレクタ323を形成する。そして、基板321上に形成されたSOGを除去する。

50

を形成する。そして、素子分離領域となるpウェル形成のためレジストをマスク326として用いて、SiO₂膜325をエッチングした後、⁺B⁺イオン注入を行う。

【0011】図38(c)に示したように、素子分離領域形成のためのpウェル熱拡散を行い、pウェル327を形成した後、レジスト328を塗布し、フォトリソグラフィ工程によりレジストのパターニングを行い、バイポーラトランジスタのベース形成領域に酸化膜325エッチング、⁺B⁺イオン注入を行う。図38(d)に示したように、ベース331が形成された基板321上にレジスト329を塗布した後、バイポーラトランジスタのエミッタとコレクタ取り出し拡散層の形成領域の酸化膜330をエッチングし、⁺A s⁺イオン注入を行い、この時、同時にベースとnエピタキシャル層324のコレクタ領域にまたがった拡散領域も形成する。

【0012】図38(e)に示したように、エミッタ332、コレクタ取り出し拡散層333及び拡散層334を形成したのち、電極形成のためのコンタクトを形成する。さらに、図39に示したように、Al-Si電極335を形成する。この時、図40に示したように、エミッターベース間をショートする様に配線する。図41に、エミッタ直下の不純物の濃度プロファイルを示す。

【0013】この静電破壊防止素子のバイポーラトランジスタは、エミッタ濃度が $2 \times 10^{18} \text{ cm}^{-3}$ 程度、ベース濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 程度、コレクタn⁺エピ濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 程度となる。この状態でコレクタに逆バイアスをかけると、コレクターベース間のpn接合表面付近Y（図39）で、アバランシェブレイクダウンを6V程度で起こす。このアバランシェブレイクダウン電流がトリガーとなり、トランジスタ動作が起こり、図42に示したように、スナップバックして電流が流れる。この時ベース濃度が $5 \times 10^{17} \text{ cm}^{-3}$ であるので、コレクターエミッタ間のパンチスルーブレイクダウンは起こらない。従って、この素子を回路入力部分に採用することにより、静電気による過電流、過電圧を逃がし、内部回路の保護に使用することができる。

【0014】(iv)BiCMOSプロセスにおいては、MOS部分及びバイポーラ部分には、それぞれ横型バイポーラトランジスタ及び縦型バイポーラトランジスタをそれぞれ併用して、所望のBiCMOSを作製することができる。

【0015】

【発明が解決しようとする課題】しかし、上記のMOSプロセス(i)及び(ii)の静電破壊防止素子として用いる横型バイポーラトランジスタにおいては、この静電破壊防止素子に、瞬時に過大な電流が流れた場合、十分エネルギーを吸収することができず、内部回路のpn接合あるいは、MOSトランジスタのゲート酸化膜の破壊を引き起こす場合が生ずる。これは横型バイポーラトランジ

スタが横方向に構成されており、かつ素子内の接合が浅いため、電流通過面積に制限が生じるからである。従って、十分な能力を得るためには素子面積を大きくする必要がある。

【0016】また、バイポーラプロセス(iii)において、縦型バイポーラトランジスタを静電破壊防止素子として用いる場合には、縦型バイポーラトランジスタがトランジスタ動作し、スナップバックするまでは、アバランシェブレイクダウンが起こっている。この時、アバランシェブレイクダウンを起こしている領域は電界が集中する拡散エッジのみであり、電流密度が非常に高い。このため拡散エッジ部で発熱を起こし、素子破壊につながる。10

【0017】本発明は上記課題に鑑みなされたものであり、MOS、BiCMOS又はバイポーラ等のプロセスにおいて、製造工程を増加させることなく、機能が向上した静電破壊保護素子を有する半導体装置とその製造方法を提供することを目的としている。

【0018】

【課題を解決するための手段及び作用】本発明の半導体装置によれば、半導体基板を用いて形成された又は半導体基板の表面層から該半導体基板上に積層されたエピタキシャル層にかけて形成された第1導電型埋め込みコレクタ、前記エピタキシャル層に形成された低濃度不純物ウェルである第2導電型ベース、及び前記第2導電型ベースの表面層に形成された第1導電型エミッタを具備した縦型バイポーラトランジスタの前記第2導電型ベースにおける不純物濃度が約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ 、第2導電型ベースの拡散深さが $0.8 \sim 2.3 \mu\text{m}$ であり、さらに、第2導電型ベースと第1導電型エミッタとが短絡されている静電破壊防止素子を有する半導体装置が提供される。20

【0019】また、半導体基板を用いて形成された又は半導体基板の表面層から該半導体基板上に積層されたエピタキシャル層にかけて形成された第1導電型埋め込みコレクタ、前記エピタキシャル層に形成された低濃度不純物ウェルである第2導電型ベース、前記第2導電型ベースの表面層に形成された第1導電型エミッタ、及び前記第2導電型ベースに隣接して形成され、表面層に高濃度取り出し拡散層を有する第1導電型埋め込みコレクタ取り出し拡散層を具備した縦型バイポーラトランジスタの前記第2導電型ベースが、表面層であって、かつ少なくとも第1導電型埋め込みコレクタ取り出し拡散層内の高濃度取り出し拡散層に接触する第2導電型の高濃度拡散層を有しており、前記第2導電型ベースの不純物濃度が約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ 、第2導電型ベースの拡散深さが $0.8 \sim 2.3 \mu\text{m}$ であり、さらに、第2導電型ベースと第1導電型エミッタとが短絡されている静電破壊防止素子を有する別の半導体装置が提供される。30

【0020】さらに、本発明の半導体装置の製造方法に

よれば、N又はPチャネルMOSもしくはCMOSトランジスタと静電破壊防止素子とを具備する上記半導体装置の製造方法において、(i)半導体基板に、MOSトランジスタ形成領域として第2導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第2導電型ベースを約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii)MOSトランジスタの前記第2導電型低濃度不純物ウェルに第1導電型ソース/ドレイン領域を形成すると同時に、静電破壊防止素子の前記第2導電型ベース内に第1導電型エミッタを形成する工程を含む半導体装置の製造方法が提供される。

【0021】また、バイポーラトランジスタと静電破壊防止素子とを具備する上記半導体装置の製造方法において、(i)バイポーラトランジスタの素子分離のための第2導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第2導電型ベースを約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii)バイポーラトランジスタの第2導電型ベースを形成したのち、バイポーラトランジスタの第2導電型ベース内に第1導電型エミッタを形成すると同時に、静電破壊防止素子の第2導電型ベース内に第1導電型エミッタを形成する工程を含む半導体装置の製造方法が提供される。20

【0022】さらに、BiCMOSと静電破壊防止素子とを具備する上記半導体装置の製造方法において、(i)MOSトランジスタ形成領域として第2導電型低濃度不純物ウェルと、バイポーラトランジスタの素子分離のための第2導電型低濃度不純物ウェルとを形成すると同時に、静電破壊防止素子の第2導電型ベースを約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii)バイポーラトランジスタの第2導電型ベースを形成したのち、MOSトランジスタのソース/ドレイン領域と、バイポーラトランジスタの第2導電型ベース内に第1導電型エミッタとを形成すると同時に、静電破壊防止素子の第2導電型ベース内に第1導電型エミッタを形成する工程を含む半導体装置の製造方法が提供される。30

【0023】また、N又はPチャネルMOSもしくはCMOSトランジスタと静電破壊防止素子とを具備する上記別の半導体装置の製造方法において、(i)半導体基板に、MOSトランジスタ形成領域として第2導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第2導電型ベースを約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii)MOSトランジスタの第2導電型低濃度不純物ウェル内の素子分離領域となる領域に、表面反転電圧確保のための第2導電型の高濃度拡散層を形成すると同時に、静電破壊防止素子の第2導電型ベース内に第2導電型の高濃度拡散層を形成する工程、(iii)MOSトランジスタの前記第2導電型低濃度不純物ウェルに第1導電型ソース/ドレイン領域を形成すると同時に、静電破壊防止素子の前記第2導電型ベース内に第1導電型エミッタを形成するとともに、前記静電破

壊防止素子の第2導電型ベース内の第2導電型の高濃度拡散層と接触するように第1導電型埋め込みコレクタ取り出し拡散層の表面層に高濃度取り出し拡散層を形成する工程を含む半導体装置の製造方法が提供される。

【0024】さらに、バイポーラトランジスタと静電破壊防止素子とを具備する上記別の半導体装置の製造方法において、(i) バイポーラトランジスタの素子分離のための第2導電型低濃度不純物ウェルを形成すると同時に、静電破壊防止素子の第2導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) バイポーラトランジスタの第2導電型低濃度不純物ウェル内の素子分離領域となる領域に、表面反転電圧確保のための第2導電型の高濃度拡散層を形成すると同時に、静電破壊防止素子の第2導電型ベース内に第2導電型の高濃度拡散層を形成する工程、(iii) バイポーラトランジスタの第2導電型ベースを形成した後、バイポーラトランジスタの第2導電型ベース内に第1導電型エミッタを形成すると同時に、静電破壊防止素子の第2導電型ベース内に第1導電型エミッタを形成するとともに、前記静電破壊防止素子の第2導電型ベース内の第2導電型の高濃度拡散層と接触するように第1導電型埋め込みコレクタ取り出し拡散層の表面層に高濃度取り出し拡散層を形成する工程を含む半導体装置の製造方法が提供される。

【0025】また、BiCMOSと静電破壊防止素子とを具備する上記別の半導体装置の製造方法において、(i) MOSトランジスタ形成領域として第2導電型低濃度不純物ウェルと、バイポーラトランジスタの素子分離のための第2導電型低濃度不純物ウェルとを形成すると同時に、静電破壊防止素子の第2導電型ベースを約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ の不純物濃度で形成する工程、(ii) MOSトランジスタの第2導電型低濃度不純物ウェル内の素子分離領域となる領域と、バイポーラトランジスタの第2導電型低濃度不純物ウェル内の素子分離領域となる領域とに、表面反転電圧確保のための第2導電型の高濃度拡散層を形成すると同時に、静電破壊防止素子の第2導電型ベース内に第2導電型の高濃度拡散層を形成する工程、(iii) バイポーラトランジスタの第2導電型ベースを形成した後、MOSトランジスタのソース/ドレイン領域と、バイポーラトランジスタの第2導電型ベース内に第1導電型エミッタとを形成すると同時に、静電破壊防止素子の第2導電型ベース内に第1導電型エミッタを形成するとともに、前記静電破壊防止素子の第2導電型ベース内の第2導電型の高濃度拡散層と接触するように第1導電型埋め込みコレクタ取り出し拡散層の表面層に高濃度取り出し拡散層を形成する工程を含む半導体装置の製造方法が提供される。

【0026】本発明における半導体装置は、少なくとも第1導電型埋め込みコレクタ、第2導電型ベース、第1導電型エミッタからなる縦型バイポーラトランジスタを静電破壊防止素子として具備したNチャネル、Pチャネ

ル又はCMOS、バイポーラトランジスタあるいはBiCMOS等の半導体装置を具備した半導体装置であり、静電破壊防止素子には、適宜、第1導電型埋め込みコレクタ取り出し拡散層、高濃度の埋め込みコレクタ取り出し拡散層、第2導電型の高濃度拡散層及び第1導電型コレクタ補償拡散層等が形成されていてもよい。

【0027】静電破壊防止素子において、第1導電型埋め込みコレクタは、半導体基板自体を用いたもの、又は半導体基板上に高濃度の拡散層を形成した後、エピタキシャル層を成長させて埋め込み拡散層とすることによって形成することができる。その際の第1導電型埋め込みコレクタの不純物濃度は $1 \times 10^{11} \sim 4 \times 10^{11} \text{ cm}^{-3}$ 程度が好ましい。

【0028】また、第2導電型ベースにおける不純物濃度は、約 $1 \sim 3 \times 10^{11} \text{ cm}^{-3}$ が好ましく、その拡散深さは $0.8 \sim 2.3 \mu\text{m}$ 程度が好ましい。また、この第2導電型ベース内には取り出し拡散層が形成されていてもよい。この際に取り出し拡散層の不純物濃度はベースにおける不純物濃度よりも高いものが好ましく、例えば、約 $3 \times 10^{11} \sim 8 \times 10^{11} \text{ cm}^{-3}$ である。また、第2導電型ベース内には、第1導電型エミッタが形成されている。この第1導電型エミッタの不純物濃度は約 $1 \times 10^{11} \sim 4 \times 10^{11} \text{ cm}^{-3}$ が好ましい。第1導電型埋め込みコレクタ取り出し拡散層が形成される場合には、第2導電型ベースに隣接して形成されていることが好ましい。この際の第1導電型埋め込みコレクタ取り出し拡散層の不純物の濃度は約 $1 \times 10^{11} \sim 3 \times 10^{11} \text{ cm}^{-3}$ が好ましく、その拡散深さは第2導電型ベースの拡散深さとほぼ同様である。また、このコレクタ取り出し拡散層内、又はコレクタ取り出し拡散層から第2導電型ベース層にわたって、不純物濃度が約 $2 \times 10^{11} \sim 5 \times 10^{11} \text{ cm}^{-3}$ の第1導電型コレクタ補償拡散層を形成してもよい。さらに、コレクタ取り出し拡散層内又は第1導電型コレクタ補償拡散層内に、コレクタ電極とオーミック接続を得るための第1導電型高濃度取り出し拡散層を形成してもよい。つまり、第1導電型埋め込みコレクタ取り出し拡散層とコレクタ電極とのコレクタ抵抗を下げるためには、第1導電型埋め込みコレクタ取り出し拡散層を高濃度の不純物拡散層として形成して接続するのが好ましい。しかし、コレクタ取り出し拡散層を高濃度で埋め込みコレクタに接触させるためには、高濃度拡散層を深く形成する必要がある。不純物を熱処理等により深く拡散させるためには、横方向にも拡散してしまうこととなり、これは、素子の微細化のうえで問題となる。従って、コレクタ電極の下方の拡散層の濃度を低く保って、横方向の拡散を最小限に抑えながら、コレクタ電極との接続抵抗を抑えるために、第1導電型埋め込みコレクタ取り出し拡散層内に、コレクタ補償拡散層及び比較的高濃度の取り出し拡散層を形成することが好ましい。

【0029】静電破壊防止素子を上記のような構成にす

ることにより、コレクターエミッタ間でパンチスルーブレイクダウンを起こさせ、それをトリガーとしてスナップバックを起こさせることができる。従って、エミッタ領域全域に空乏層が大きく広がり、電界が集中しにくくなるとともに、電流が集中しなくなり、アバランシェブレイクダウントリガーのような発熱による素子の破壊が起こりにくくなる。

【0030】しかし、第2導電型ベースを形成するためのエピタキシャル層の膜厚のプロセスバラツキは±5%程度はあるため、その膜厚が高めになると、図33に示したように、パンチスルーブレイクダウン電圧は高めにシフトすることとなる。このパンチスルーブレイクダウンの電圧がシフトすると、過量の電圧が半導体装置の内部回路に印加されることとなる。従って、その電圧による内部回路の破壊を防ぐため、ブレイクダウン電圧値のくずれにくいアバランシェブレイクダウンを、その補償として複合したものも本発明の半導体装置に含まれる。

【0031】また、本発明の半導体装置の静電破壊防止素子においては、第2導電型ベースの表面層であって、素子分離領域の下方に、第2導電型の高濃度拡散層が形成されている場合には、この高濃度拡散層が、第1導電型埋め込みコレクタの取り出し拡散層内の高濃度取り出し拡散層又は第1導電型コレクタ補償拡散層に接触していることが好ましい。この際の第2導電型の高濃度拡散層の不純物濃度は約 $6 \times 10^{11} \sim 2 \times 10^{11} \text{ cm}^{-3}$ が好ましい。その拡散深さは特に限定されるものではなく、通常素子分離領域等における表面層の反転防止のために形成される反転防止層の拡散深さ程度が好ましい。そして、その一方の端部は、第1導電型埋め込みコレクタの取り出し拡散層内の高濃度取り出し拡散層又は第1導電型コレクタ補償拡散層に接続していることが必要である。また、他方の端部は、素子分離領域であるロコス酸化膜の端部まで形成されており、平面的に見て、活性領域を囲んでいることが好ましい。

【0032】本発明の半導体装置は、上記のような縦型バイポーラトランジスタを静電破壊防止素子として具備する半導体装置であれば特に限定されるものではなく、例えば、PチャンネルMOS、NチャンネルMOS、CMOS、バイポーラトランジスタ、BiCMOS又はこれらが併設された半導体装置をあげることができる。また、本発明の半導体装置の製造方法においては、併設されているPチャンネルMOS、NチャンネルMOS、CMOS、バイポーラトランジスタ、BiCMOS等の半導体装置を形成する際に、それら半導体装置の製造工程を利用することにより、特別な工程を付加することなく同時に形成することができるものである。

【0033】

【実施例】以下に本発明の半導体装置及びその製造方法の実施例を説明する。

実施例 1

パンチスルーをトリガーとしてスナップバックを起こす縦型バイポーラトランジスタを有するMOS型半導体装置について説明する。

【0034】図1(a)に示したように、P⁺型シリコン基板1($2 \times 10^{11} \text{ cm}^{-3}$ 程度)上の、静電破壊防止素子形成領域に、アンチモン(Sb)を含むスピンオンガラス(SOG)(図示せず)を塗布した後、1150℃、600分間程度熱処理を行い、アンチモンをこれらの領域にドライブインしてn⁺拡散層2を形成する。次いで、図1(b)に示したように、p⁺エピタキシャル層3を、約3.1μm成長させるとともに、埋め込みコレクタ2aを形成する。そして、静電破壊防止素子のベース領域とnチャンネルMOS形成領域となる比較的抵抗の高いp⁺ウェルを形成するため、フォトリソグラフィ工程により所望の形状のマスク4を形成し、イオン注入(¹¹B⁺:150KeV、 $7 \times 10^{11} \text{ cm}^{-3}$)を行う。

【0035】その後、図1(c)に示したように、静電破壊防止素子の埋め込みコレクタ取り出し拡散層となるn⁺ウェルを形成するため、フォトリソグラフィ工程により所望の形状のマスク5を形成し、イオン注入(¹¹p⁺:150KeV、 $2 \times 10^{11} \text{ cm}^{-3}$)を行う。そして、図1(d)に示したように、1150℃、100分間熱処理を行い、¹¹B⁺及び¹¹P⁺を、それぞれ所望の領域にドライブインして、p⁺ウェルである静電破壊防止素子のベース6a、NチャンネルMOSトランジスタ形成用低濃度不純物ウェル6b…及びn⁺ウェルである埋め込みコレクタ取り出し拡散層7a、コレクタ層7b…を形成する。この際、p⁺ウェルである静電破壊防止素子のベース6a、MOSトランジスタ用低濃度不純物ウェル6b…の表面濃度は $2 \times 10^{11} \text{ cm}^{-3}$ 程度、拡散深さはN⁺埋め込みコレクタ($2 \times 10^{11} \text{ cm}^{-3}$ 程度)2aにあたるため、1.5μm程度になる。さらに、熱酸化により、250Å程度の比較的薄いSiO₂膜8を形成する。そして、SiO₂膜8上に、CVD法により、120nm程度のナイトライド膜9を形成した後、活性領域となる部分以外の領域のナイトライド膜9をエッチング除去する。また、p⁺ウェルの表面の反転を防ぐために、フォトリソグラフィ工程により所望の形状のマスク10を形成し、イオン注入(¹¹B⁺:30KeV、 $5 \times 10^{11} \text{ cm}^{-3}$)を行う。

【0036】次いで、図2(e)に示したように、素子分離領域11として600nmのフィールド酸化膜を形成し、膜厚25nm程度のゲート酸化膜12を形成する。そして、図2(f)に示したように、MOSトランジスタのゲート電極13を、300nm程度のn⁺ポリシリコンで形成し、nチャンネルMOSのLDD構造のn⁺拡散層14を形成する。続いて、ゲート電極13にサイドウォールスペーサ15を形成する。そして、静電破壊防止素子のベース取り出し拡散とNチャンネルMOSのウェルコンタクト拡散として、フォトリソグラフィ工程

により所望の形状のマスク16を形成し、イオン注入 ($^{11}\text{BF}_3$: 50 KeV、 $5 \times 10^{14} \text{ cm}^{-2}$) する。

【0037】次いで、図2(g)に示したように、静電破壊防止素子のエミッタと高濃度取り出し拡散層、nチャネルMOSのソース・ドレイン領域 ($2 \times 10^{14} \text{ cm}^{-2}$ 程度) を形成するために、フォトリソグラフィ工程により所望の形状のマスク17を形成し、イオン注入 (^{75}As : 80 KeV、 $5 \times 10^{14} \text{ cm}^{-2}$) を行う。さらに、図2(h)に示したように、静電破壊防止素子のエミッタ20aと高濃度取り出し拡散層20b、nチャネルMOSのソース・ドレイン領域20cを形成したのち、これら半導体基板1上全面に、NSG/BPSG膜18を100/700nm形成し、エミッタ20a、コレクタの高濃度取り出し拡散層20b、ベース6a及びソース・ドレイン領域20c上のNSG/BPSG膜18にコンタクトホールを形成し、メタル配線19 (Al-Si 1.1 μm) を形成する。この時、静電破壊防止素子のエミッタとベースをメタルでショートさせる (19a)。

【0038】このように形成された半導体装置における静電破壊防止素子の平面図を図3に示す。また、図4は静電破壊防止素子のエミッタ直下の濃度プロファイルである。この静電破壊防止素子バイポーラトランジスタは、コレクタに逆バイアスをかけると、エミッタと埋め込みコレクタが10V程度でパンチスルーを起こし (図2(h)中、領域Ap)、電流が流れ始める。さらにバイアスをかけるとトランジスタ動作が起こり、14V程度スナップバックしてコレクタ電圧が下がり、図5に示したように、なおいっそう電流が大きく流れる。

【0039】図6は上記静電破壊防止素子である縦型バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図である。Padに、 V_{DD} よりも高く、GND側の保護素子においてブレイクダウンしない電位の静電気が発生した場合、その静電気をPadから V_{DD} に流す。一方、Padに、 V_{DD} よりも高く、GND側の保護素子においてブレイクダウンする電位の静電気が発生した場合、GND側の保護素子が動作し、その静電気をGNDに流す。逆に、Padに、GNDよりも低く、 V_{DD} 側の保護素子においてブレイクダウンしない電位の静電気が発生した場合、GNDからPadにその静電気を流す。一方、GNDよりも低く、 V_{DD} 側の保護素子においてブレイクダウンする電位の静電気が発生した場合、 V_{DD} からPadにその静電気を流す。

【0040】本実施例では、 N^+ 埋め込みコレクタ2a、エピタキシャル層3を利用しているが、エピタキシャル層なしで、高エネルギー注入により N^+ 埋め込みコレクタを形成してもよい。

【0041】実施例2

パンチスルーをトリガーとしてスナップバックを起こす縦型バイポーラトランジスタを有するCMOS型半導体

装置について説明する。図7(a)に示したように、P型のシリコン基板21上の、静電破壊防止素子とPチャネルMOSとの形成領域に、実施例1と同様に、SiO₂を塗布し、熱処理を行い、 n^+ 拡散層22をそれぞれ形成する。次いで、図7(b)に示したように、 p^+ エピタキシャル層23を約3.1 μm 成長させるとともに埋め込みコレクタ22aを形成する。そして、静電破壊防止素子のベース領域とnチャネルMOS形成領域となる比較的抵抗の高い p^+ ウェル形成のため、実施例1と同様に所望の形状のマスク24を形成し、 ^{11}B イオン注入を行う。

【0042】その後、図7(c)に示したように、静電破壊防止素子の埋め込みコレクタ取り出し拡散層、コレクタ層、pチャネルMOS領域となる n^+ ウェルを形成するため、実施例1と同様にマスク26を形成し、 ^{11}P イオン注入を行う。そして、図7(d)に示したように、実施例1と同様に p^+ ウェルであるベース25a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル25b…及び n^+ ウェルである埋め込みコレクタ取り出し拡散層27a、コレクタ層27b、PチャネルMOSトランジスタ形成用低濃度不純物ウェル27c…を形成する。この際、 p^+ ウェルであるベース25a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル25b…の濃度は $2 \times 10^{14} \text{ cm}^{-2}$ 程度、拡散深さは1.5 μm 程度になる。さらに、実施例1と同様にSiO₂膜28及びナイトライド膜29を形成し、ナイトライド膜29を所望形状にエッチングする。また、 p^+ ウェル25a、25b…の表面の反転を防ぐために、実施例1と同様にマスク30を形成し、 ^{11}B イオン注入を行う。

【0043】次いで、図8(e)に示したように、実施例1と同様に素子分離領域31としてフィールド酸化膜を、またゲート酸化膜32を形成する。そして、図8(f)に示したように、MOSトランジスタのゲート電極33を形成し、nチャネルMOSのLDD構造の n^+ 拡散層34を形成する。続いて、ゲート電極33にサイドウォールスペーサ35を形成する。そして、静電破壊防止素子のベース取り出し拡散とpチャネルMOSのソース・ドレインとして、実施例1と同様にマスク36を形成し、 $^{11}\text{BF}_3$ イオン注入を行う。

【0044】次いで、図8(g)に示したように、静電破壊防止素子のエミッタとコレクタの高濃度取り出し拡散層、nチャネルMOSのソース・ドレイン領域 ($2 \times 10^{14} \text{ cm}^{-2}$ 程度) を形成するために、実施例1と同様にマスク37を形成し、 ^{75}As イオン注入を行う。さらに、図8(h)に示したように、静電破壊防止素子のエミッタ40a、高濃度取り出し拡散層40b、nチャネルMOSのソース・ドレイン領域40cを形成したのち、実施例1と同様に、これら半導体基板21上全面に、NSG/BPSG膜38を形成した後、メタル配線

39 形成する。そして、静電破壊防止素子のエミッタとベースをメタルでショートさせる (39a)。

【0045】このように形成された半導体装置における静電破壊防止素子の平面図も図3と同様であり、静電破壊防止素子のエミッタ直下の濃度プロファイルも図4と同様である。つまり、この静電破壊防止素子であるバイポーラトランジスタは、コレクタに逆バイアスをかけると、図8(h)中、Bpで示した部分に、パンチスルーが起こり、電流が流れ始める。さらにバイアスをかけるとトランジスタ動作が起こり、14V程度スナップバックしてコレクタ電圧が下がり、図5に示したように、なおいっそう電流が大きく流れる。

【0046】上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図も図6で表される。本実施例においても、埋め込みN⁺ 拡散22a、エピタキシャル層23を利用しているが、エピタキシャル層なしで、高エネルギー注入により埋め込みN⁺ 拡散を形成してもよい。

【0047】実施例3

パンチスルーをトリガーとしてスナップバックを起こす縦型バイポーラトランジスタを静電破壊防止素子として用いる、別のCMOS型半導体装置について説明する。図9(a)に示したように、N⁺ 型のシリコン基板 (2×10¹⁴ cm⁻³ 程度) 41を使用する。図9(b)に示したように、基板41上に、n⁻ エピタキシャル層42を約3.1μm成長させる。そして、静電破壊防止素子のベース領域及びnチャネルMOSとなる比較的抵抗の高いp⁻ ウェル形成のため、実施例1と同様にマスク43を形成し、¹¹B⁺ イオン注入を行う。

【0048】その後、図9(c)に示したように、静電破壊防止素子の埋め込みコレクタ取り出し拡散層、pチャネルMOS領域となるn⁻ ウェルを形成するため、実施例1と同様にマスク43を形成し、¹¹P⁺ イオン注入を行う。そして、図9(d)に示したように、実施例1と同様に熱処理を行い、¹¹B⁺ 及び¹¹P⁺ を、それぞれ所望の領域にドライブインして、p⁻ ウェルであるベース44a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル44b…及びn⁻ ウェルである埋め込みコレクタ取り出し拡散層45a、PチャネルMOSトランジスタ形成用低濃度不純物ウェル45b…を形成する。p⁻ ウェルであるベース44a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル44b…の濃度は2×10¹⁴ cm⁻³ 程度、拡散深さは1.5μm程度になる。さらに、実施例1と同様の方法によりSiO₂ 膜26、ナイトライド膜27を形成し、所望の形状にエッチングした後、p⁻ ウェルの表面の反転を防ぐために、実施例1と同様に¹¹B⁺ イオン注入を行う。

【0049】次いで、図10(e)に示したように、素子分離領域48としてフィールド酸化膜を、さらに、ゲート酸化膜49を形成する。そして、図10(f)に示

したように、MOSトランジスタのゲート電極50を形成し、nチャネルMOSのLDD構造のn⁻ 拡散層51を形成する。続いて、ゲート電極50にサイドウォールスペーサ52を形成した後、静電破壊防止素子のベース取り出し拡散、pチャネルMOSのソース・ドレインとして、実施例1と同様にマスク53を形成し、¹¹BF₃ イオン注入を行う。

【0050】次いで、図10(g)に示したように、静電破壊防止素子のエミッタと高濃度取り出し拡散層、nチャネルMOSのソース・ドレインを形成するために、実施例1と同様にマスク54を形成し、¹¹As⁺ イオン注入を行う。さらに、図10(h)に示したように、静電破壊防止素子のエミッタ57aと高濃度取り出し拡散層57b、nチャネルMOSのソース・ドレイン領域57cを形成したのち、実施例1と同様に、これら半導体基板41上全面に、NSG/BPSG膜55、メタル配線56を形成する。この時、静電破壊防止素子のエミッタとベースをメタルでショートさせる (56a)。

【0051】このように形成された半導体装置における静電破壊防止素子の平面図を図11に示す。また、図12は静電破壊防止素子のエミッタ直下の濃度プロファイルである。この静電破壊防止素子であるバイポーラトランジスタは、コレクタに逆バイアスをかけると、図10(h)中、Cpで示した部分に、パンチスルーが起こり、電流が流れ始める。さらにバイアスをかけるとトランジスタ動作が起こり、14V程度スナップバックしてコレクタ電圧が下がり、図5に示したように、なおいっそう電流が大きく流れる。

【0052】上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図も図6で表される。ただし、本実施例の場合は、コレクタがN⁺ 基板全面であるので、N⁺ 基板はV_{DD} になるため、図6においてV_{DD} 側 (上側) の保護素子にしかならず、GND側の保護素子は、別の保護素子が必要となる。この場合、本実施例の静電破壊防止素子のN⁻ ウェル (コレクタ)、コレクタ取り出しN⁺ 拡散及びメタル配線 (コレクタ) はなくてもよい。極性が逆の静電破壊防止素子の場合には、基板がP⁺ 基板でGNDになるため、GND側の保護素子にしかない。

【0053】実施例4

パンチスルーをトリガーとしてスナップバックを起こすバイポーラトランジスタを、静電破壊防止素子として用いるバイポーラ型半導体装置について説明する。図13(a)に示したように、実施例1の方法と同様に、p型シリコン基板61上の、静電破壊防止素子、通常動作のNPNトランジスタのn⁺ 埋め込みコレクタ形成領域に、実施例1と同様の方法で、n⁺ 拡散層62を形成する。次いで、素子分離の形成される領域に、¹¹B⁺ イオン注入を行う。

【0054】図13(b)に示したように、実施例1と

同様に、 n^- エピタキシャル層 64 を約 $3.1\mu\text{m}$ 成長させるとともに、静電破壊防止素子の埋め込みコレクタ 62a、通常動作の NPN トランジスタの埋め込みコレクタ 62b、 p^+ 埋め込み層 63a を形成する。静電破壊防止素子のベース領域と素子分離領域となる比較的抵抗の高い p^- ウェル形成のため、実施例 1 と同様にマスク 65 を形成し、 $^{11}\text{B}^+$ イオン注入を行う。

【0055】次いで、図 13 (c) に示したように、実施例 1 と同様に、静電破壊防止素子の埋め込みコレクタ取り出し拡散層と、静電破壊防止素子と NPN トランジスタのコレクタ層となる n^- ウェルを形成するため、実施例 1 と同様にマスク 66 を形成し、 $^{11}\text{p}^+$ イオン注入を行う。そして、図 13 (d) に示したように、実施例 1 と同様に熱処理を行い、 $^{11}\text{B}^+$ 及び $^{11}\text{p}^+$ を、それぞれ所望の領域にドライブインして、 p^- ウェルであるベース 67a、素子分離用低濃度不純物ウェル 67b……及び n^- ウェルである埋め込みコレクタ取り出し拡散層 68a、コレクタ層 68b、NPN のコレクタ層 68c…を形成する。この際、 p^- ウェルであるベース 67a、素子分離用低濃度不純物ウェル 67b…の濃度は $2 \times 10^{14}\text{cm}^{-3}$ 程度、拡散深さは $1.5\mu\text{m}$ 程度になる。さらに、実施例 1 と同様に、 SiO_2 膜 69 及びナイトライド膜 70 を形成した後、所望の形状にエッチングし、 p^- ウェルの表面の反転を防ぐため、実施例 1 と同様にマスク 71 を形成し、 $^{11}\text{B}^+$ イオン注入を行う。

【0056】次いで、図 14 (e) に示したように、実施例 1 と同様に、素子分離領域 72 としてフィールド酸化膜を形成した後、フォトリソグラフィ工程により所望の形状のマスク 73 を形成し、静電破壊防止素子と NPN トランジスタのコレクタ領域の n^+ コレクタ補償拡散 ($3 \times 10^{14}\text{cm}^{-3}$ 程度) として、イオン注入 ($^{11}\text{p}^+$: 100KeV 、 $1 \times 10^{14}\text{cm}^{-3}$) を行う。

【0057】そして、図 14 (f) に示したように、静電破壊防止素子の n^+ コレクタ補償拡散 75a と NPN トランジスタの n^+ コレクタ補償拡散 75b を形成したのち、NPN トランジスタの活性ベース 76 を形成する。そして、静電破壊防止素子と NPN トランジスタのベース取り出し拡散として、フォトリソグラフィ工程により所望の形状のマスク 74 を形成し、イオン注入 ($^{11}\text{BF}_3^+$: 50KeV 、 $5 \times 10^{14}\text{cm}^{-3}$) する。

【0058】次いで、図 14 (g) に示したように、静電破壊防止素子と NPN トランジスタのエミッタと高濃度の取り出し拡散層 ($2 \times 10^{14}\text{cm}^{-3}$ 程度) とを形成するために、フォトリソグラフィ工程により所望の形状のマスク 77 を形成し、イオン注入 ($^{75}\text{As}^+$: 80KeV 、 $5 \times 10^{14}\text{cm}^{-3}$) を行う。さらに、図 14

(h) に示したように、静電破壊防止素子のエミッタ 80a、NPN トランジスタのエミッタ 80d、静電破壊防止素子の高濃度取り出し拡散 80b 及び NPN の高濃度取り出し拡散 80c を形成したのち、実施例 1 と同様

に、これら半導体基板 61 上に NSG/BPSG 膜 78、メタル配線 79 を形成する。この時、静電破壊防止素子のエミッタとベースをメタルでショートさせる (79a)。

【0059】このように形成された半導体装置における静電破壊防止素子の平面図を図 15 に示す。また、静電破壊防止素子のエミッタ直下の濃度プロファイルは図 16 に示した。この静電破壊防止素子であるバイポーラトランジスタは、コレクタに逆バイアスをかけると、図 14 (h) 中、Dp で示した部分に、パンチスルーブレークダウンが起こり、電流が流れ始める。さらにバイアスをかけるとトランジスタ動作が起こり、 14V 程度スナップバックしてコレクタ電圧が下がり、図 5 に示したように、なおいっそう電流が大きく流れる。上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図は図 6 で表される。

【0060】実施例 5

パンチスルーをトリガーとしてスナップバックを起こすバイポーラトランジスタを、静電破壊防止素子として用いる BiCMOS 型半導体装置について説明する。

【0061】図 17 (a) に示したように、P 型のシリコン基板 81 上の、静電破壊防止素子、通常動作の NPN トランジスタの n^+ 埋め込みコレクタ層及び P チャネル MOS の形成領域に、実施例 1 と同様に n^+ 拡散層 82 をそれぞれ形成する。次いで、 P^+ 埋め込み拡散層を形成するために、レジスト 83 をマスクとして、 n チャネル MOS、素子分離形成領域にイオン注入 ($^{11}\text{B}^+$: 50KeV 、 $1 \times 10^{14}\text{cm}^{-3}$) する。

【0062】その後、図 17 (b) に示したように、 n^- エピタキシャル層 85 を約 $3.1\mu\text{m}$ 成長させるとともに、静電破壊防止素子の埋め込みコレクタ 82a、NPN の埋め込みコレクタ 82b 等を形成する。そして、静電破壊防止素子のベース領域、 n チャネル MOS、素子分離領域となる比較的抵抗の高い p^- ウェル形成のため、実施例 1 と同様にマスク 86 を形成し、 $^{11}\text{B}^+$ イオン注入を行う。

【0063】次いで、図 17 (c) に示したように、静電破壊防止素子と NPN トランジスタのベース、 p チャネル MOS 領域となる n^- ウェルを形成するため、実施例 1 と同様にマスク 88 を形成し、 $^{11}\text{p}^+$ イオン注入を行う。そして、図 17 (d) に示したように、実施例 1 と同様に熱処理を行い、 $^{11}\text{B}^+$ 及び $^{11}\text{P}^+$ を、それぞれ所望の領域にドライブインして、 p^- ウェルであるベース 87a、素子分離用低濃度不純物ウェル 87b、 N チャネル MOS トランジスタ形成用低濃度不純物ウェル 87c 及び n^- ウェルである埋め込みコレクタ取り出し拡散 89a、コレクタ層 89b、NPN のコレクタ 89c、 P チャネル MOS トランジスタ形成用低濃度不純物ウェル 89d を形成する。この際、 p^- ウェルであるベース 87a、素子分離用低濃度不純物ウェル 87b、 N チャ

ネルMOSトランジスタ形成用低濃度不純物ウェル87cの濃度は $2 \times 10^{11} \text{ cm}^{-3}$ 程度、拡散深さは $1.5 \mu\text{m}$ 程度になる。さらに、実施例1と同様に SiO_2 膜90及びナイトライド膜91を形成した後、ナイトライド膜91をエッチングする。また、 p^- ウェルの表面の反転を防ぐために、実施例1と同様にマスク92を形成し、 $^{11}\text{B}^+$ イオン注入を行う。

【0064】次いで、図18(e)に示したように、素子分離領域93としてフィールド酸化膜を形成した後、フォトリソグラフィ工程により所望の形状のマスク94を形成し、静電破壊防止素子とNPNトランジスタのコレクタ領域の n^+ コレクタ補償拡散層($3 \times 10^{11} \text{ cm}^{-3}$ 程度)を形成するため、イオン注入($^{11}\text{p}^+$: 100 KeV 、 $1 \times 10^{11} \text{ cm}^{-3}$)を行う。

【0065】そして、図18(f)に示したように、静電破壊防止素子のコレクタ補償拡散層89aa、NPNトランジスタのコレクタ補償拡散層89ccを形成した後、MOSトランジスタのゲート電極95を形成する。また、 n チャネルMOSのLDD構造の n^- 拡散層96を形成し、さらにNPNトランジスタの活性ベース97を形成する。続いて、ゲート電極95にサイドウォールスペーサ98を形成する。そして、静電破壊防止素子とNPNトランジスタのベース取り出し拡散、 p チャネルMOSのソース・ドレインを形成するため、フォトリソグラフィ工程により所望の形状のマスク99を形成し、イオン注入($^{11}\text{BF}_3$: 50 KeV 、 $5 \times 10^{11} \text{ cm}^{-3}$)する。

【0066】次いで、図18(g)に示したように、静電破壊防止素子とNPNトランジスタのエミッタと高濃度取り出し拡散層、 n チャネルMOSのソース・ドレイン($2 \times 10^{11} \text{ cm}^{-3}$ 程度)を形成するために、フォトリソグラフィ工程により所望の形状のマスク100を形成し、イオン注入($^{11}\text{As}^+$: 80 KeV 、 $5 \times 10^{11} \text{ cm}^{-3}$)を行う。

【0067】さらに、図18(h)に示したように、静電破壊防止素子のエミッタ103a、NPNトランジスタのエミッタ103d、静電破壊防止素子の高濃度取り出し拡散層103b、NPNの高濃度取り出し拡散層103c、 n チャネルMOSのソース・ドレイン領域103eを形成した後、実施例1と同様に、これら半導体基板81上に、NSG/BPSG膜101及びメタル配線102を形成する。そして、静電破壊防止素子のエミッタとベースをメタルでショートさせる(102a)。

【0068】このように形成された半導体装置における静電破壊防止素子の平面図を図15に示す。また、静電破壊防止素子のエミッタ直下の濃度プロファイルを図16に示す。この静電破壊防止素子であるバイポーラトランジスタは、コレクタに逆バイアスをかけると、図18(h)中、Epで示した部分に、パンチスルーブレークダウンが起こり、電流が流れ始める。さらにバイアスを

かけるとトランジスタ動作が起こり、 14 V 程度スナップバックしてコレクタ電圧が下がり、図5に示したように、なおいっそう電流が大きく流れる。上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図は図6で表される。

【0069】実施例6

プロセスバラツキによるパンチスルーブレークダウン電圧の高めバラツキを補償できるアバランシェ降伏をトリガーとしてスナップバックを起こす機能を追加した縦型バイポーラトランジスタを、静電破壊防止素子として用いるMOS型半導体装置について説明する。

【0070】図19(a)に示したように、実施例1の方法と同様に、 p 型シリコン基板111上の、静電破壊防止素子の n^+ 埋め込みコレクタ形成領域に、 n^+ 拡散層112を形成する。図19(b)に示したように、実施例1と同様に、 P^- エピタキシャル層113を約 $3.1 \mu\text{m}$ 成長させるとともに、 n^+ 埋め込みコレクタ112aを形成し、静電破壊防止素子のベース領域、 n チャネルMOS領域となる比較的抵抗の高い p^- ウェル形成のため、マスク114を用いて $^{11}\text{B}^+$ イオン注入を行う。

【0071】次いで、図19(c)に示したように、実施例1と同様に、静電破壊防止素子の埋め込みコレクタ取り出し領域となる n^- ウェルを形成するため、マスク115を用いて $^{11}\text{p}^+$ イオン注入を行う。そして、図19(d)に示したように、実施例1と同様に熱処理を行い、 p^- ウェルであるベース116a、 N チャネルトランジスタ形成用低濃度不純物ウェル116b及び n^- ウェルである埋め込みコレクタ取り出し拡散層120a、コレクタ層120bを形成する。この際、 p^- ウェルであるベース116a、 N チャネルトランジスタ形成用低濃度不純物ウェル116bの濃度は $2 \times 10^{11} \text{ cm}^{-3}$ 程度、拡散深さは $1.5 \mu\text{m}$ 程度になる。さらに、実施例1と同様に、 SiO_2 膜117とナイトライド膜118を形成した後、ナイトライド膜118を所望の形状にエッチングする。また、 p^- ウェルの表面の反転を防ぐため、ならびに静電破壊防止素子のコレクタの n^+ 取り出し拡散と p^- ベースとのアバランシェ降伏電圧制御ために、フォトリソグラフィ工程により所望の形状のマスク119を形成し、イオン注入($^{11}\text{B}^+$: 30 KeV 、 $5 \times 10^{11} \text{ cm}^{-3}$)を行う。

【0072】次いで、図20(e)に示したように、静電破壊防止素子の n^+ コレクタの取り出し拡散と p^- ベースとのアバランシェ降伏電圧制御用及び p^- ウェルの表面の反転防止用の高濃度拡散層116aa、116bbを形成したのち、実施例1と同様に、素子分離領域121としてフィールド酸化膜を、さらにゲート酸化膜122を形成する。この際、高濃度拡散層116aaの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度であり、高濃度拡散層116aaは素子分離領域121下に配置されるとともに、後工

程で形成される高濃度のコレクタ取り出し拡散領域と接触するように形成する。

【0073】そして、図20(f)に示したように、実施例1と同様に、MOSトランジスタのゲート電極123、nチャネルMOSのLDD構造のn⁻拡散層124及びサイドウォールスペーサ125を形成する。そして、静電破壊防止素子のベース取り出し拡散、NチャネルMOSのウェルのコンタクト拡散として、マスク126を用いて、⁺B⁺F⁺イオン注入を行う。

【0074】次いで、図20(g)に示したように、静電破壊防止素子のエミッタと高濃度取り出し拡散層、nチャネルMOSのソース・ドレイン領域(2×10¹¹cm⁻²程度)を形成するために、実施例1と同様に、マスク127を用いて、⁺A⁺s⁺イオン注入を行う。さらに、図20(h)に示したように、静電破壊防止素子のエミッタ130a、高濃度拡散層116aaと接続する高濃度取り出し拡散層130b、nチャネルMOSのソース・ドレイン領域130cを形成したのち、実施例1に示したように、これら半導体基板111上にNSG/BPSG膜128及びメタル配線129を形成する。この時、静電破壊防止素子のエミッタとベースをメタルでショートさせる(129a)。

【0075】このように形成された半導体装置における静電破壊防止素子の平面図を図21に示す。また、静電破壊防止素子のエミッタ直下の濃度プロファイルは図4に示した。この静電破壊防止素子バイポーラトランジスタは、エピタキシャル層が所望の膜厚又はそれ以下の場合には、コレクタに逆バイアスをかけると、エミッタと埋め込みコレクタがパンチスルーブレイクダウンを起こす(図20(h)中、領域Fp)。よりバイアスをかけるとトランジスタ動作が起こり、スナップバックしてなおいっそう電流が大きく流れる。

【0076】エピタキシャル層の膜厚において、厚めにバラツキがでた場合は、パンチスルーブレイクダウン電圧は高めにシフトするため、パンチスルートリガーのスナップバックが始まる前に、ベース(p⁻)と横方向コレクタ(n⁺)で14V程度でアバランシェ降伏が起こり(図20(h)中、領域Fa)、高抵抗ベース内での電圧低下により、エミッタ接合が過渡的に順方向にバイアスされ、これがトリガーとなりトランジスタ動作を起こし、図22に示したように、スナップバックし大きな電流が流れる。上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図を図6に示す。

【0077】本実施例の静電破壊防止素子では、コレクタ補償拡散を形成していないが、付加工程により形成してもよい。また、埋め込みN⁺拡散、エピタキシャル層を形成しているが、エピタキシャル層なしで高エネルギー注入により埋め込みN⁺拡散を形成してもよい。

【0078】実施例7

プロセスバラツキによるパンチスルーブレイクダウン電圧の高めバラツキを補償できるアバランシェ降伏をトリガーとしてスナップバックを起こす機能を追加した縦型バイポーラトランジスタを、静電破壊防止素子として用いるCMOS型半導体装置について説明する。

【0079】図23(a)に示したように、実施例1の方法と同様に、p型シリコン基板131上の、静電破壊防止素子のn⁺埋め込みコレクタ及びpチャネルMOS形成領域にn⁺拡散層132を形成する。図23(b)に示したように、実施例1と同様に、n⁻エピタキシャル層133を、約3.1μm成長させるとともに静電破壊防止素子のn⁺埋め込みコレクタ132aを形成し、静電破壊防止素子のベース領域、nチャネルMOSとなる比較的抵抗の高いp⁻ウェル形成のため、マスク134を用いて⁺B⁺イオン注入を行う。

【0080】次いで、図23(c)に示したように、実施例1と同様に、静電破壊防止素子のコレクタ層、pチャネルMOS領域となるn⁻ウェルを形成するため、マスク135を用いて、⁺p⁺イオン注入を行う。そして、図23(d)に示したように、実施例1と同様にp⁻ウェルであるベース136a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル136b及びn⁻ウェルである埋め込みコレクタ取り出し拡散137a、コレクタ層137b、PチャネルMOSトランジスタ形成用低濃度不純物ウェル137cを形成する。この際、p⁻ウェルであるベース136a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル136bの濃度は2×10¹¹cm⁻²程度、拡散深さは1.5μm程度になる。さらに、実施例1と同様に、SiO₂膜138及びナイトライド膜139を形成した後、ナイトライド膜139を所望の形状にエッチングする。また、p⁻ウェルの表面の反転を防ぐため、ならびに静電破壊防止素子のコレクタのn⁺取り出し拡散とp⁻ベースとのアバランシェ降伏電圧制御のために、マスク140を用いて、⁺B⁺イオン注入を行う。

【0081】次いで、図24(e)に示したように、静電破壊防止素子のn⁺コレクタの取り出し拡散とp⁻ベースとのアバランシェ降伏電圧制御用及びp⁻ウェルの表面の反転防止用の高濃度拡散層136aa、136bbを形成したのち、実施例1と同様に、素子分離領域141としてフィールド酸化膜を、さらにゲート酸化膜142を形成する。この際、高濃度拡散層136aaの濃度は1×10¹¹cm⁻²程度であり、高濃度拡散層136aaは素子分離領域141下に配置されるとともに、後工程で形成される高濃度取り出し拡散領域と接触するように形成する。

【0082】そして、図24(f)に示したように、実施例1と同様に、MOSトランジスタのゲート電極143、nチャネルMOSのLDD構造のn⁻拡散層144及びサイドウォールスペーサ145を形成する。そし

て、静電破壊防止素子のベース取り出し拡散、pチャネルMOSのソース・ドレインを形成するためマスク146を用いて、 $^{11}\text{BF}_3$ イオン注入を行う。

【0083】次いで、図24(g)に示したように、実施例1と同様に、静電破壊防止素子のエミッタと高濃度取り出し拡散層、nチャネルMOSのソース・ドレイン層を形成するために、マスク147を用いて、 ^{11}As イオン注入を行う。さらに、図24(h)に示したように、静電破壊防止素子のエミッタ150a、高濃度拡散層136aaと接続する高濃度取り出し拡散層150b、nチャネルMOSのソース・ドレイン150cを形成した後、実施例1と同様に、半導体基板131上全面に、NSG/BPSG膜148及びメタル配線149を形成する。この時、静電破壊防止素子のエミッタとベースをショートさせる(149a)。

【0084】このように形成された半導体装置における静電破壊防止素子の平面図を図21に示す。また、静電破壊防止素子のエミッタ直下の濃度プロファイルは図4に示した。この静電破壊防止素子バイポーラトランジスタは、エピタキシャル層が所望の膜厚又はそれ以下の場合には、コレクタに逆バイアスをかけると、図24中、Gpで示した部分に、パンチスルーブレイクダウンを起こす。よりバイアスをかけるとトランジスタ動作が起こり、14V程度スナップバックしてコレクタ電圧がさがり、図5に示したように、なおいっそう電流が大きく流れる。

【0085】エピタキシャル層の膜厚において、厚めにバラツキがでた場合は、パンチスルーブレイクダウン電圧は高めにシフトするため、パンチスルーツリガーのスナップバックが始まる前に、ベース(p⁻)と横方向コレクタ(n⁺)で14V程度でアバランシェ降伏が起こり(図24(h)中、領域Ga)、高抵抗ベース内での電圧低下により、エミッタ接合が過渡的に順方向にバイアスされ、これがトリガーとなりトランジスタ動作を起こし、図22に示したように、スナップバックし大きな電流が流れる。

【0086】上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図を図6に示す。本発明の静電破壊防止素子では、コレクタ補償拡散を形成していないが、付加工程により形成してもよい。本実施例では、埋め込みN⁺拡散、エピタキシャル層を形成しているが、エピタキシャル層なしで高エネルギー注入により埋め込みN⁺拡散を形成してもよい。

【0087】実施例8

プロセスバラツキによるパンチスルーブレイクダウン電圧の高めバラツキを補償できるアバランシェ降伏をトリガーとしてスナップバックを起こす機能を追加した縦型バイポーラトランジスタを、静電破壊防止素子として用いるCMOS型半導体装置について説明する。

【0088】図25(a)に示したように、N⁺型のシ

リコン基板151を使用する。図25(b)に示したように、実施例1と同様に基板151上に、n⁺エピタキシャル層152を約3.1 μm 成長させる。そして、静電破壊防止素子のベース領域及びnチャネルMOSとなる比較的抵抗の高いp⁻ウェル形成のため、マスク153を用いて、 ^{11}B イオン注入を行う。

【0089】その後、図25(c)に示したように、静電破壊防止素子コレクタ領域、pチャネルMOS領域となるn⁻ウェルを形成するため、マスク155を用いて、 ^{11}p イオン注入を行う。そして、図25(d)に示したように、実施例1と同様にp⁻ウェルであるベース154a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル154b…及びn⁻ウェルである埋め込みコレクタ取り出し拡散層156a、PチャネルMOSトランジスタ形成用低濃度不純物ウェル156b…を形成する。この際、p⁻ウェルであるベース154a、NチャネルMOSトランジスタ形成用低濃度不純物ウェル154b…の濃度は $2 \times 10^{11} \text{ cm}^{-3}$ 程度、拡散深さは1.5 μm 程度になる。さらに、実施例1と同様の方法によりSiO₂膜158、SiO₂膜159を形成し、所望の形状にエッチングした後、p⁻ウェルの表面の反転を防ぐため、及びP⁻静電破壊防止素子のコレクタN⁺取り出し拡散とP⁻ベースとのアバランシェ降伏電圧制御のために、 ^{11}B イオン注入を行う。

【0090】次いで、図26(e)に示したように、静電破壊防止素子のn⁺コレクタの取り出し拡散とp⁻ベースとのアバランシェ降伏電圧制御用及びp⁻ウェルの表面の反転防止用の高濃度拡散層154aa、154bbを形成したのち、実施例1と同様に、素子分離領域160としてフィールド酸化膜を、さらにゲート酸化膜161を形成する。この際、高濃度拡散層154aaの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度であり、高濃度拡散層154aaは素子分離領域160下に配置されるとともに、後工程で形成される高濃度のコレクタ取り出し拡散領域と接触するように形成する。

【0091】そして、図26(f)に示したように、MOSトランジスタのゲート電極162、nチャネルMOSのLDD構造のn⁻拡散層163及びサイドウォールスペーサ164を形成した後、静電破壊防止素子のベース取り出し拡散、pチャネルMOSのソース・ドレインを形成するため、マスク165を用いて、 $^{11}\text{BF}_3$ イオン注入を行う。

【0092】次いで、図26(g)に示したように、実施例1と同様に、静電破壊防止素子のエミッタと高濃度取り出し拡散層、nチャネルMOSのソース・ドレインを形成するために、マスク166を用いて ^{11}As イオン注入を行う。さらに、図26(h)に示したように、静電破壊防止素子のエミッタ169a、高濃度拡散層154aaと接続する高濃度取り出し拡散層169b、nチャネルMOSのソース・ドレイン領域169cを形成

するために、マスク 166 を用いて、 ^{11}As イオン注入を行い、実施例 1 と同様に NSG/BPSG 膜 167、メタル配線 168 を形成する。この時、静電破壊防止素子のエミッタとベースをメタルでショートさせる (168a)。

【0093】このように形成された半導体装置における静電破壊防止素子の平面図を図 27 に示す。また、図 12 は静電破壊防止素子のエミッタ直下の濃度プロファイルである。この静電破壊防止素子の縦型バイポーラトランジスタは、エピタキシャル層が所望の膜厚又はそれ以下の場合には、コレクタに逆バイアスをかけると、エミッタと埋め込みコレクタがパンチスルーブレークダウンを起こす (図 26 (h) 中、領域 Hp)。よりバイアスをかけるとトランジスタ動作が起こり、スナップバックしてなおいっそう電流が大きく流れる。

【0094】エピタキシャル層の膜厚において、厚めにバラツキがでた場合は、パンチスルーブレークダウン電圧は高めにシフトするため、パンチスルートリガーのスナップバックが始まる前に、ベース (p^-) と横方向コレクタ (n^+) で 14 V 程度でアバランシェ降伏が起こり (図 26 (h) 中、領域 Ha)、高抵抗ベース内での電圧低下により、エミッタ接合が過渡的に順方向にバイアスされ、これがトリガーとなりトランジスタ動作を起こし、図 22 に示したように、スナップバックし大きな電流が流れる。

【0095】上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図も図 6 で表される。ただし、本実施例の場合は、コレクタが N^+ 基板全面であるので、 N^+ 基板は V_{11} になるため、図 6 において V_{11} 側 (上側) の保護素子にしかならず、GND 側の保護素子は、別の保護素子が必要となる。この場合、本実施例の静電破壊防止素子の N^- ウェル (コレクタ)、コレクタ取り出し N^+ 拡散及びメタル配線 (コレクタ) はなくてもよい。極性が逆の静電破壊防止素子の場合には、基板が P^+ 基板で GND になるため、GND 側の保護素子にしかない。また、本発明の静電破壊防止素子では、コレクタ補償拡散を形成していないが、付加工程により形成してもよい。

【0096】実施例 9

プロセスバラツキによるパンチスルーブレークダウン電圧の高めバラツキを補償できるアバランシェ降伏をトリガーとしてスナップバックを起こす機能を追加した縦型バイポーラトランジスタを、静電破壊防止素子として用いるバイポーラ型半導体装置について説明する。

【0097】図 28 (a) に示したように、実施例 1 と同様に、 P^+ 型シリコン基板 171 上の、静電破壊防止素子と NPN トランジスタの埋め込み N^+ コレクタ形成領域に、 n^+ 拡散層 172 をそれぞれ形成する。次いで、素子分離の形成される領域に、マスク 173 を用いて ^{11}B イオン注入を行い、 p^+ 埋め込み層を形成する。

次いで、図 28 (b) に示したように、 N^- エピタキシャル層 176 を約 $3.1\mu\text{m}$ 成長させるとともに、埋め込みコレクタ 172a、172b を形成する。そして、静電破壊防止素子のベース領域と素子分離領域となる比較的抵抗の高い p^- ウェル形成のため、実施例 1 と同様にマスク 175 を用いて、 ^{11}B イオン注入を行う。

【0098】その後、図 28 (c) に示したように、静電破壊防止素子と NPN トランジスタのコレクタ領域となる n^- ウェルを形成するため、マスク 177 を用いて、 $^{11}\text{p}^+$ イオン注入を行う。そして、図 28 (d) に示したように、実施例 1 と同様に、 p^- ウェルであるベース 178a、素子分離用低濃度不純物ウェル 178b…及び n^- ウェルである埋め込みコレクタ取り出し拡散層 179a、コレクタ層 179b、NPN のコレクタ 179c…を形成する。この際、 p^- ウェルであるベース 178a、素子分離用低濃度不純物ウェル 178b…の濃度は $2 \times 10^{11} \text{ cm}^{-3}$ 程度、拡散深さは $1.5\mu\text{m}$ 程度になる。さらに、実施例 1 と同様に、 SiO_2 膜 180 及びナイトライド膜 181 を形成し、ナイトライド膜 181 を所望の形状にエッチングする。また、 p^- ウェルの表面の反転を防ぐため、及び静電破壊防止素子の高濃度コレクタの N^+ 補償拡散と P^- ベースとのアバランシェ降伏電圧制御のために、マスク 182 を用いて、 ^{11}B イオン注入を行う。

【0099】次いで、図 29 (e) に示したように、静電破壊防止素子の n^+ コレクタの取り出し拡散と p^- ベースとのアバランシェ降伏電圧制御用及び p^- ウェルの表面の反転防止用の高濃度拡散層 178aa、178bb を形成したのち、実施例 1 と同様に、素子分離領域 183 としてフィールド酸化膜を、さらにゲート酸化膜 184 を形成する。この際、高濃度拡散層 178aa の濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度であり、高濃度拡散層 178aa は素子分離領域 183 下に配置されるとともに、後工程で形成される高濃度のコレクタ取り出し拡散領域と接触するように形成する。その後、マスク 185 を用いて、静電破壊防止素子と NPN トランジスタのコレクタ領域の n^+ コレクタ補償拡散層 ($3 \times 10^{11} \text{ cm}^{-3}$ 程度) を形成するため、 $^{11}\text{p}^+$ イオン注入を行う。

【0100】そして、図 29 (f) に示したように、 n^+ コレクタ補償拡散層 179aa を形成したのち、NPN トランジスタの活性ベース 186 を形成する。そして、静電破壊防止素子と NPN トランジスタのベース取り出し拡散として、マスク 187 を用いて、 $^{11}\text{BF}_3$ イオン注入を行う。次いで、図 29 (g) に示したように、静電破壊防止素子と NPN トランジスタのエミッタと高濃度取り出し拡散層 ($2 \times 10^{11} \text{ cm}^{-3}$ 程度) を形成するために、マスク 188 を用いて ^{11}As イオン注入を行う。

【0101】さらに、図 29 (h) に示したように、静

電破壊防止素子のエミッタ 178aaa、NPNトランジスタのエミッタ 186a、高濃度拡散層 178aaと接続する高濃度取り出し拡散層 179aaaを形成したのち、実施例 1と同様に、この半導体基板 171上に、NSG/BPSG膜 189及びメタル配線 190を形成する。この時、静電破壊防止素子のエミッタとベースをショートさせる (190a)。

【0102】このように形成された半導体装置における静電破壊防止素子の平面図を図 30に示す。また、静電破壊防止素子のエミッタ直下の濃度プロファイルは図 16に示した。この静電破壊防止素子の縦型バイポーラトランジスタは、エピタキシャル層が所望の膜厚又はそれ以下の場合には、コレクタに逆バイアスをかけると、エミッタと埋め込みコレクタがパンチスルーブレイクダウンを起こす (図 29 (h) 中、領域 Ip)。よりバイアスをかけるとトランジスタ動作が起こり、スナップバックしてなおいっそう電流が大きく流れる。

【0103】エピタキシャル層の膜厚において、厚めにバラツキがでた場合は、パンチスルーブレイクダウン電圧は高めにシフトするため、パンチスルートリガーのスナップバックが始まる前に、ベース (p⁻) と横方向コレクタ (n⁺) で 14V 程度でアバランシェ降伏が起こり (図 29 (h) 中、領域 Ia)、高抵抗ベース内での電圧低下により、エミッタ接合が過渡的に順方向にバイアスされ、これがトリガーとなりトランジスタ動作を起こし、図 22に示したように、スナップバックし大きな電流が流れる。上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図は図 6で表される。

【0104】実施例 10

プロセスバラツキによるパンチスルーブレイクダウン電圧の高めバラツキを補償できるアバランシェ降伏をトリガーとしてスナップバックを起こす機能を追加した縦型バイポーラトランジスタを、静電破壊防止素子として用いる BiCMOS 型半導体装置について説明する。

【0105】図 31 (a) に示したように、P 型のシリコン基板 191上の、静電破壊防止素子、通常動作の NPNトランジスタの n⁺埋め込みコレクタ層及び Pチャネル MOS 形成領域に、実施例 1と同様に n⁺拡散層 192をそれぞれ形成する。次いで、マスク 193を用いて、nチャネル MOS、素子分離の形成される領域にイオン注入 (¹¹B⁺: 50KeV、 $1 \times 10^{11} \text{ cm}^{-2}$) し、p⁺埋め込み層を形成する。

【0106】その後、図 31 (b) に示したように、n⁺エピタキシャル層 194を、約 3.1 μm 成長させるとともに、埋め込みコレクタ 192a、192b、埋め込み層 192cを形成する。そして、静電破壊防止素子のベース領域、nチャネル MOS、素子分離領域となる比較的抵抗の高い p⁻ウエル形成のため、マスク 195を用いて、¹¹B⁺イオン注入を行う。

【0107】次いで、図 31 (c) に示したように、静電破壊防止素子と NPNトランジスタのコレクタ領域、pチャネル MOS 領域となる n⁻ウエルを形成するため、マスク 196を用いて ¹¹p⁺イオン注入を行う。そして、図 31 (d) に示したように、実施例 1と同様に、P⁻ウエルであるベース 197a、素子分離用低濃度不純物ウエル 197b、Nチャネル MOS 形成用低濃度不純物ウエル 197c 及び n⁻ウエルである埋め込みコレクタ取り出し拡散層 200a、NPNのコレクタ 200b、Pチャネル MOS 形成用低濃度不純物ウエル 200cを形成する。この際、p⁻ウエルであるベース 197a、素子分離用低濃度不純物ウエル 197b、Nチャネル MOS 形成用低濃度不純物ウエル 197c の濃度は $2 \times 10^{11} \text{ cm}^{-2}$ 程度、拡散深さは 1.5 μm 程度になる。さらに、実施例 1と同様に、SiO₂ 膜 201 及びナイトライド膜 202を形成した後、ナイトライド膜 202を所望の形状にエッチングする。また、p⁻ウエルの表面の反転を防ぐために、マスク 203を用いて ¹¹B⁺イオン注入を行う。

【0108】次いで、図 32 (e) に示したように、静電破壊防止素子の n⁺コレクタの取り出し拡散と p⁻ベースとのアバランシェ降伏電圧制御用及び p⁻ウエルの表面の反転防止用の高濃度拡散層 197aa、197bb、197ccを形成したのち、実施例 1と同様に、素子分離領域 204としてフィールド酸化膜を、さらにゲート酸化膜 205を形成する。この際、高濃度拡散層 197aa の濃度は $1 \times 10^{11} \text{ cm}^{-2}$ 程度であり、高濃度拡散層 197aa は素子分離領域 204下に配置されるとともに、後工程で形成される高濃度のコレクタ取り出し拡散領域と接触するように形成する。その後、マスク 206を用いて、静電破壊防止素子と NPNトランジスタのコレクタ領域の n⁺コレクタ補償拡散層 ($3 \times 10^{11} \text{ cm}^{-2}$ 程度) を形成するため、¹¹p⁺イオン注入を行う。

【0109】そして、図 32 (f) に示したように、n⁺コレクタ補償拡散層 200aaを形成したのち、実施例 1と同様に、MOSトランジスタのゲート電極 207、nチャネル MOS の LDD 構造の n⁻拡散層 208、NPNトランジスタの活性ベース 210 及びサイドウォールスペーサ 209を形成する。そして、静電破壊防止素子と NPNトランジスタのベース取り出し拡散層、pチャネル MOS のソース・ドレインを形成するため、マスク 211を用いて ¹¹BF₃イオン注入を行う。

【0110】次いで、図 32 (g) に示したように、静電破壊防止素子と NPNトランジスタのエミッタと高濃度取り出し拡散層、nチャネル MOS のソース・ドレインを形成するために、マスク 212を用いて ¹¹As⁺イオン注入を行う。さらに、図 32 (h) に示したように、静電破壊防止素子のエミッタ 215a、NPNトランジスタのエミッタ 215c、高濃度取り出し拡散層 2

15b、nチャネルMOSのソース・ドレイン領域215dを形成した後、実施例1と同様に、半導体基板191上に、NSG/BPSG膜213及びメタル配線214を形成する。この時、静電破壊防止素子のエミッタとベースをメタルでショートさせる(214a)。

【0111】このように形成された半導体装置における静電破壊防止素子の平面図を図30に示す。また、図16は静電破壊防止素子のエミッタ直下の濃度プロファイルである。この静電破壊防止素子の縦型バイポーラトランジスタは、エピタキシャル層が所望の膜厚又はそれ以下の場合には、コレクタに逆バイアスをかけると、エミッタと埋め込みコレクタがパンチスルーブレイクダウンを起こす(図32(h)中、領域Jp)。よりバイアスをかけるとトランジスタ動作が起こり、スナップバックしてなおいっそう電流が大きく流れる。

【0112】エピタキシャル層の膜厚において、厚めにバラツキがでた場合は、パンチスルーブレイクダウン電圧は高めにシフトするため、パンチスルートリガーのスナップバックが始まる前に、ベース(p⁻)と横方向コレクタ(n⁺)で14V程度でアバランシェ降伏が起こり(図32(h)中、領域Ja)、高抵抗ベース内での電圧低下により、エミッタ接合が過渡的に順方向にバイアスされ、これがトリガーとなりトランジスタ動作を起こし、図22に示したように、スナップバックし大きな電流が流れる。

【0113】上記静電破壊防止素子バイポーラトランジスタを備えた半導体装置の一部を示す等価回路図は図6で表される。

【0114】

【発明の効果】本発明の半導体装置においては、第1導電型埋め込みコレクタ、第2導電型ベース、及び第1導電型エミッタを具備した縦型バイポーラトランジスタの前記第2導電型ベースにおける不純物濃度が約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ 、第2導電型ベースの拡散深さが $0.8 \sim 2.3 \mu\text{m}$ であり、さらに、第2導電型ベースと第1導電型エミッタとが短絡されている静電破壊防止素子を有するので、コレクターエミッタ間でパンチスルーブレイクダウンを起こさせ、それをトリガーとしてスナップバックを起こさせることができる。従って、エミッタ領域全域に空乏層が大きく広がり、電界が集中しにくくなるとともに、電流が集中しなくなり、アバランシェブレイクダウントリガーのような発熱による素子の破壊が起こりにくくなる。

【0115】また、本発明の半導体装置によれば、第1導電型埋め込みコレクタ、第2導電型ベース、第1導電型エミッタ、及び表面層に高濃度取り出し拡散層を有する第1導電型埋め込みコレクタ取り出し拡散層を具備した縦型バイポーラトランジスタの前記第2導電型ベースが、表面層であって、かつ少なくとも第1導電型埋め込みコレクタ取り出し拡散層内の高濃度取り出し拡散層に

接触する第2導電型の高濃度拡散層を有しており、前記第2導電型ベースの不純物濃度が約 $1 \sim 3 \times 10^{14} \text{ cm}^{-3}$ 、第2導電型ベースの拡散深さが $0.8 \sim 2.3 \mu\text{m}$ であり、さらに、第2導電型ベースと第1導電型エミッタとが短絡されている静電破壊防止素子を有するので、電圧による内部回路の破壊を防ぐため、ブレイクダウン電圧値のくずれにくいアバランシェブレイクダウンを、その補償として複合したものを提供することもできる。

【0116】つまり、過量の電圧の印加による半導体装置の回路の破壊を防止することができる静電破壊防止素子を具備した半導体製造装置を得ることが可能となる。また、本発明の半導体装置の製造方法においては、上記のような縦型バイポーラトランジスタを静電破壊防止素子として具備する半導体装置が、例えば、PチャネルMOS、NチャネルMOS、CMOS、バイポーラトランジスタ、BiCMOS又はこれらが併設された半導体装置を形成する際に、それら半導体装置の製造工程を利用することにより、特別な工程を付加することなく同時に形成することができるので、製造工程の簡略化による製造コストの減少を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の実施例1における前半の製造工程を示す各工程の半導体装置の断面図である。

【図2】本発明の半導体装置の実施例1における後半の製造工程を示す各工程の半導体装置の断面図である。

【図3】本発明の半導体装置における静電破壊防止素子の拡散層の配置を示す平面図である。

【図4】本発明の半導体装置における静電破壊防止素子のエミッタ直下の濃度プロファイルを示すグラフである。

【図5】本発明の半導体装置における静電破壊防止素子のコレクタ電圧とコレクタ電流との関係を示すグラフである。

【図6】本発明の半導体装置の要部を示す等価回路図である。

【図7】本発明の半導体装置の実施例2における前半の製造工程を示す各工程の半導体装置の断面図である。

【図8】本発明の半導体装置の実施例2における後半の製造工程を示す各工程の半導体装置の断面図である。

【図9】本発明の半導体装置の実施例3における前半の製造工程を示す各工程の半導体装置の断面図である。

【図10】本発明の半導体装置の実施例3における後半の製造工程を示す各工程の半導体装置の断面図である。

【図11】本発明の半導体装置における静電破壊防止素子の拡散層の配置を示す平面図である。

【図12】本発明の半導体装置における静電破壊防止素子のエミッタ直下の濃度プロファイルを示すグラフである。

【図13】本発明の半導体装置の実施例4における前半の製造工程を示す各工程の半導体装置の断面図である。

【図 1 4】本発明の半導体装置の実施例 4 における後半の製造工程を示す各工程の半導体装置の断面図である。

【図 1 5】本発明の半導体装置における静電破壊防止素子の拡散層の配置を示す平面図である。

【図 1 6】本発明の半導体装置における静電破壊防止素子のエミッタ直下の濃度プロファイルを示すグラフである。

【図 1 7】本発明の半導体装置の実施例 5 における前半の製造工程を示す各工程の半導体装置の断面図である。

【図 1 8】本発明の半導体装置の実施例 5 における後半の製造工程を示す各工程の半導体装置の断面図である。

【図 1 9】本発明の半導体装置の実施例 6 における前半の製造工程を示す各工程の半導体装置の断面図である。

【図 2 0】本発明の半導体装置の実施例 6 における後半の製造工程を示す各工程の半導体装置の断面図である。

【図 2 1】本発明の半導体装置における静電破壊防止素子の拡散層の配置を示す平面図である。

【図 2 2】本発明の半導体装置における静電破壊防止素子のコレクタ電圧とコレクタ電流との関係を示すグラフである。

【図 2 3】本発明の半導体装置の実施例 7 における前半の製造工程を示す各工程の半導体装置の断面図である。

【図 2 4】本発明の半導体装置の実施例 7 における後半の製造工程を示す各工程の半導体装置の断面図である。

【図 2 5】本発明の半導体装置の実施例 8 における前半の製造工程を示す各工程の半導体装置の断面図である。

【図 2 6】本発明の半導体装置の実施例 8 における後半の製造工程を示す各工程の半導体装置の断面図である。

【図 2 7】本発明の半導体装置における静電破壊防止素子の拡散層の配置を示す平面図である。

【図 2 8】本発明の半導体装置の実施例 9 における前半の製造工程を示す各工程の半導体装置の断面図である。

【図 2 9】本発明の半導体装置の実施例 9 における後半の製造工程を示す各工程の半導体装置の断面図である。

【図 3 0】本発明の半導体装置における静電破壊防止素子の拡散層の配置を示す平面図である。

【図 3 1】本発明の半導体装置の実施例 1 0 における前半の製造工程を示す各工程の半導体装置の断面図である。

【図 3 2】本発明の半導体装置の実施例 1 0 における後半の製造工程を示す各工程の半導体装置の断面図である。

【図 3 3】本発明の半導体装置のエピタキシャル層の膜厚とスナップバック電圧との関係を示す図である。

【図 3 4】従来の半導体装置の製造工程を示す断面図である。

【図 3 5】従来の半導体装置の平面図である。

【図 3 6】従来の半導体装置の別の製造工程を示す断面図である。

【図 3 7】従来の半導体装置の別の平面図である。

【図 3 8】従来の半導体装置のさらに別の製造工程を示す断面図である。

【図 3 9】従来の半導体装置のさらに別の製造工程を示す断面図である。

【図 4 0】従来の半導体装置のさらに別の平面図である。

【図 4 1】従来の半導体装置における静電破壊防止素子のエミッタ直下の濃度プロファイルを示すグラフである。

【図 4 2】従来の半導体装置における静電破壊防止素子のコレクタ電圧とコレクタ電流との関係を示すグラフである。

【符号の説明】

1, 21, 41, 61, 81, 111, 131, 151, 171, 191 半導体基板

2, 22, 62, 82, 112, 132, 172, 192 N' 拡散層

2a, 22a, 62a, 62b, 82a, 82b, 112a, 132a, 172a, 172b, 192a, 192b 埋め込みコレクタ

3, 23, 42, 64, 85, 113, 133, 152, 176, 194 エピタキシャル層

6a, 25a, 44a, 67a, 87a, 116a, 136a, 154a, 178a, 197a ベース

6b, 25b, 27c, 44b, 45b, 87b, 89d, 116b, 136b, 137c, 154b, 156b, 197c, 200c MOSTr形成用低濃度不純物領域

7a, 27a, 45a, 68a, 89a, 120a, 137a, 156a, 179a, 200a 埋め込みコレクタ取り出し拡散層

7b, 27b, 68b, 68c, 89b, 89c, 120b, 137b, 179b, 179c, 200b コレクタ層

8, 28, 46, 69, 90, 117, 138, 158, 180, 201 SiO₂ 膜

9, 29, 47, 70, 91, 118, 139, 159, 181, 202 ナイトライド膜

11, 31, 48, 72, 93, 118, 121, 141, 160, 183, 204 素子分離領域

12, 32, 49, 122, 142, 161, 184, 205 ゲート酸化膜

67b, 87b, 178b, 197b 素子分離用低濃度不純物ウェル

75a, 75b, 89aa, 89cc, 179aa, 179cc, 200aa, 200bb コレクタ補償拡散層

76, 97, 186, 210 活性ベース

13, 33, 50, 95, 123, 143, 162, 207 ゲート電極

14, 34, 51, 96, 124, 144, 163, 208 N⁻ 拡散層

15, 35, 52, 98, 125, 145, 164, 209 サイドウォールスペーサ

20a, 40a, 57a, 80a, 80d, 103a, 103d, 130a, 150a, 169a, 178aaa, 186a, 215a, 215c エミッタ

20b, 40b, 57b, 80b, 80c, 103b, 103c, 130b, 150b, 169b, 179aaa, 179cc, 215b, 215e 高濃度取り出し拡散層

20c 40c, 57c, 103e, 130c, 150c, 169c, 215d ソース

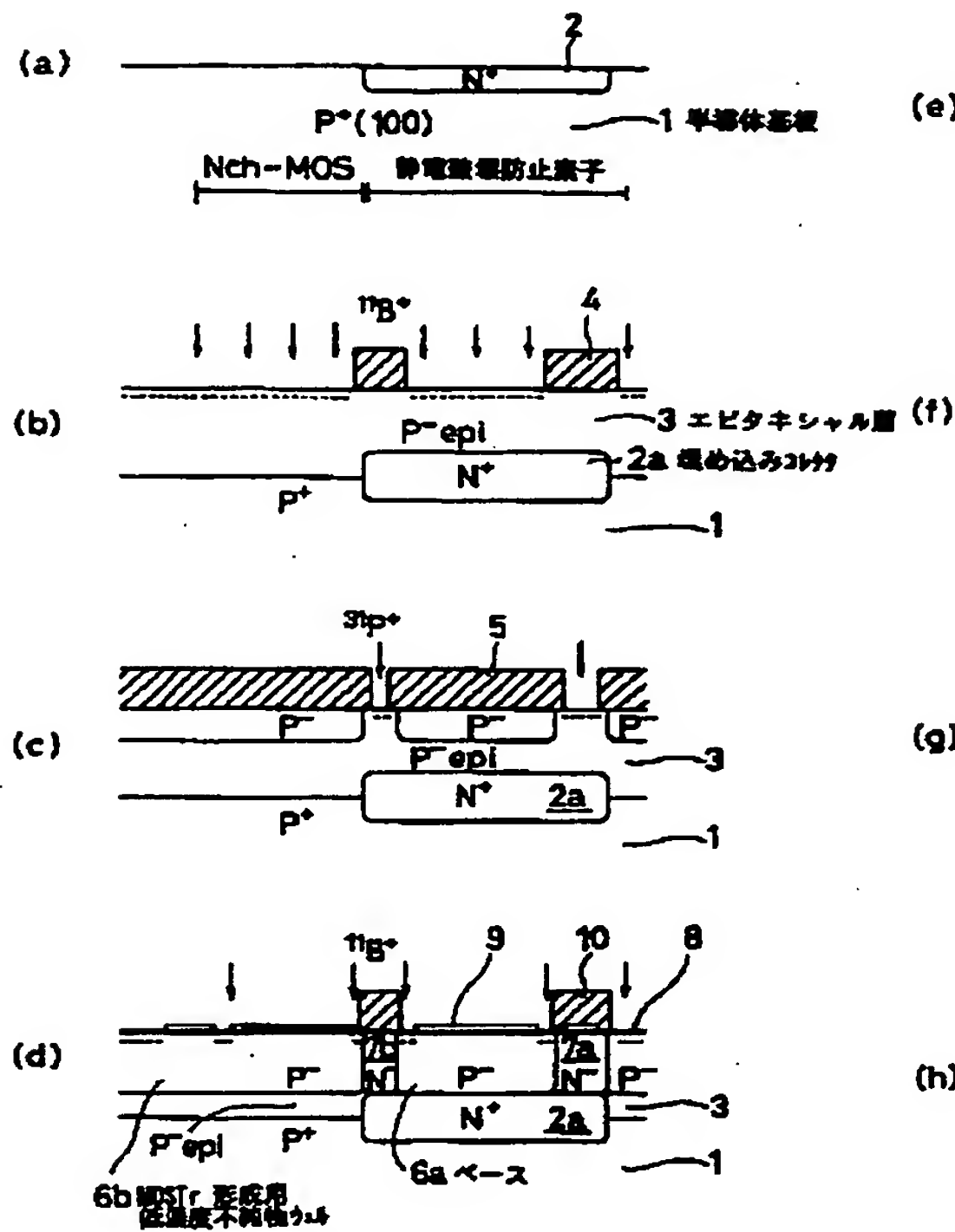
ノドレイン領域

18, 38, 55, 78, 101, 128, 148, 167, 189, 213 NS

G/BPSG膜

19, 39, 56, 79, 102, 129, 149, 168, 190, 214 メタ

【図 1】

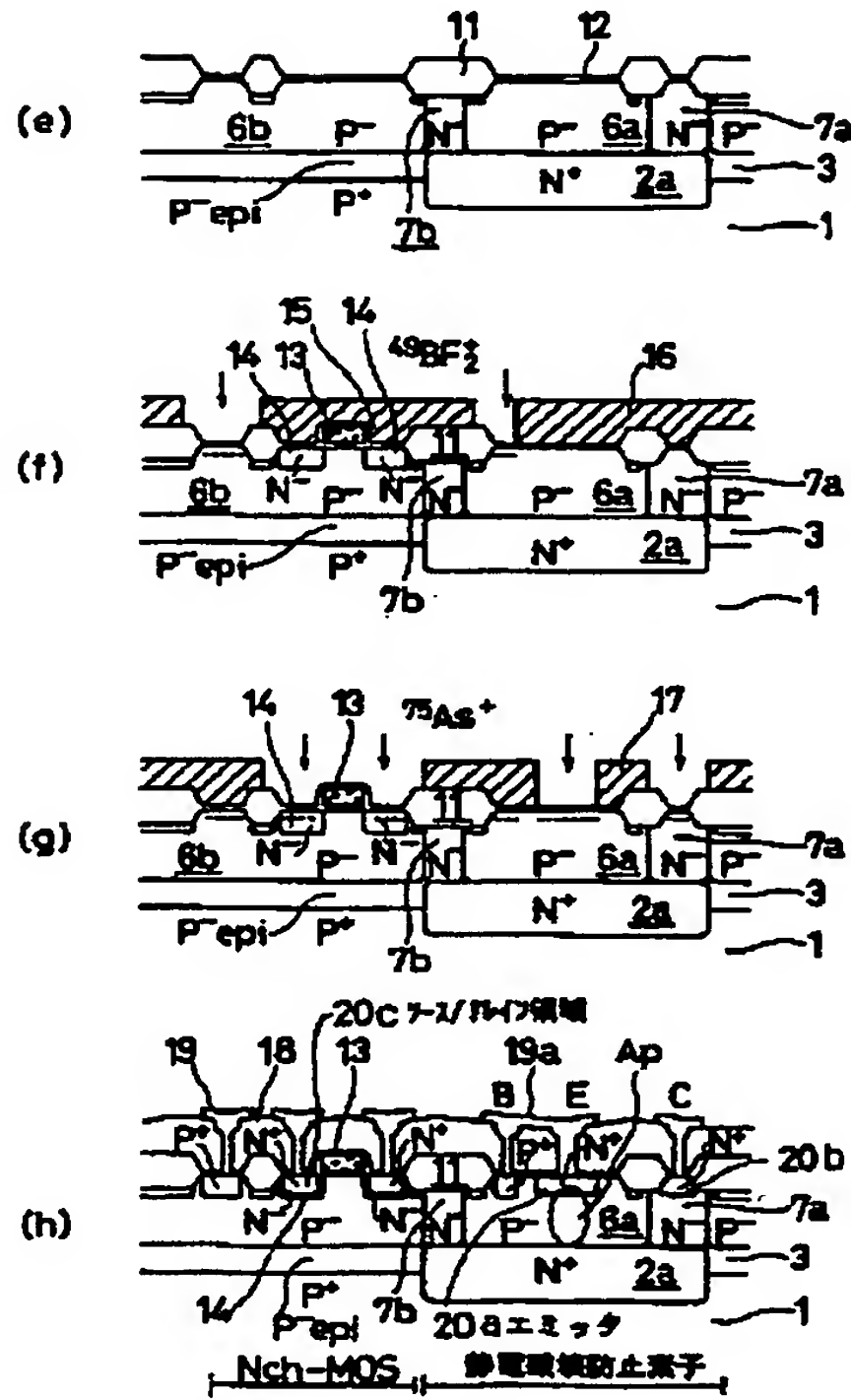


ル配線

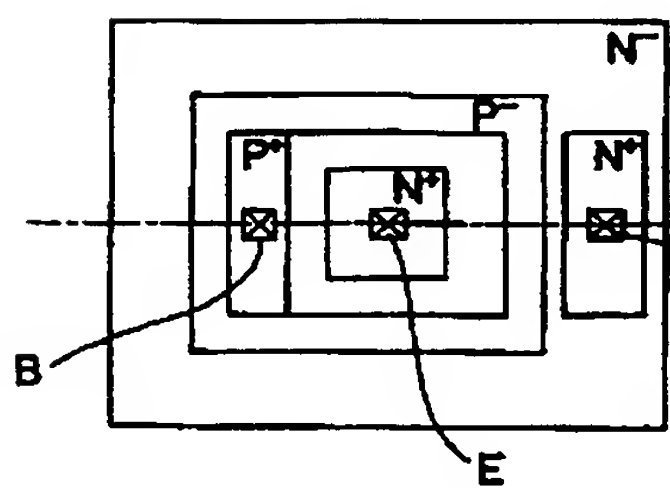
116aa, 116bb, 136aa, 136bb, 154aa, 154bb, 178aa, 1

78bb, 197aa, 197bb, 197cc 高濃度拡散層

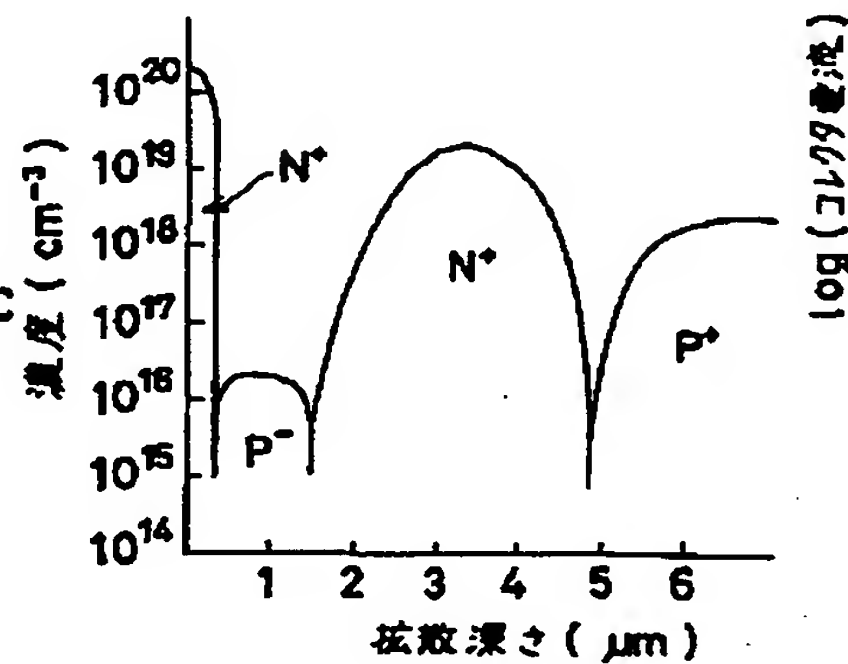
【図 2】



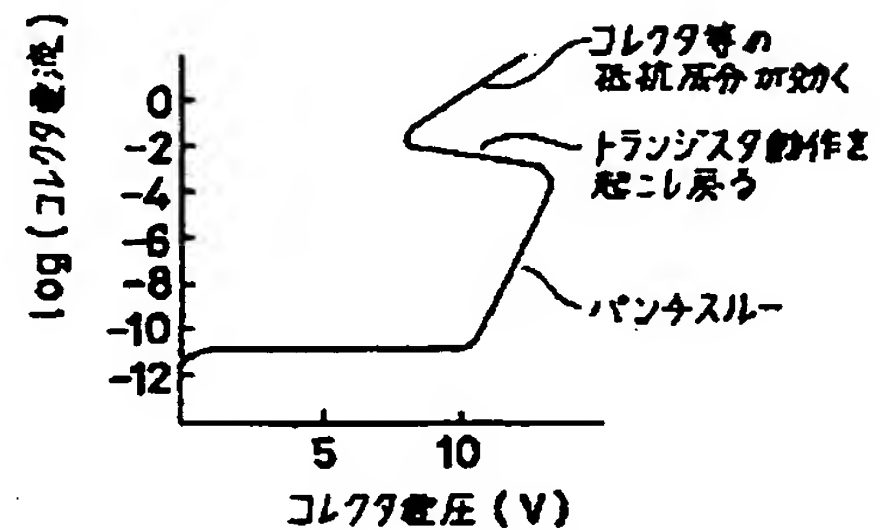
【図 3】



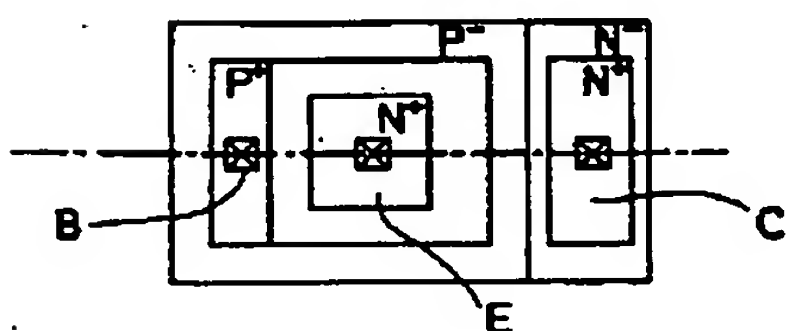
【図 4】



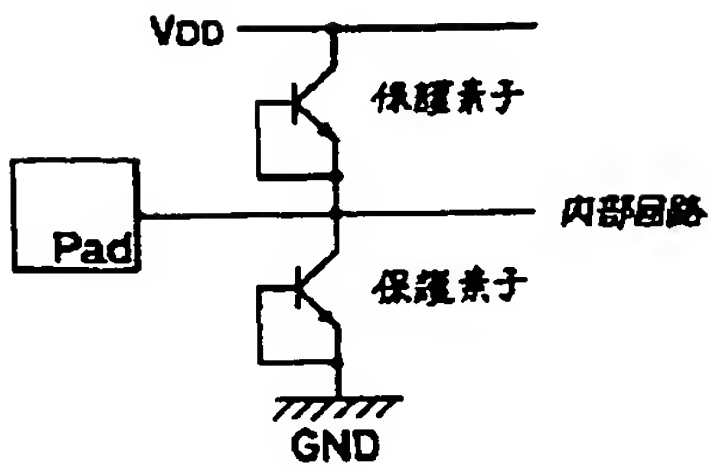
【図 5】



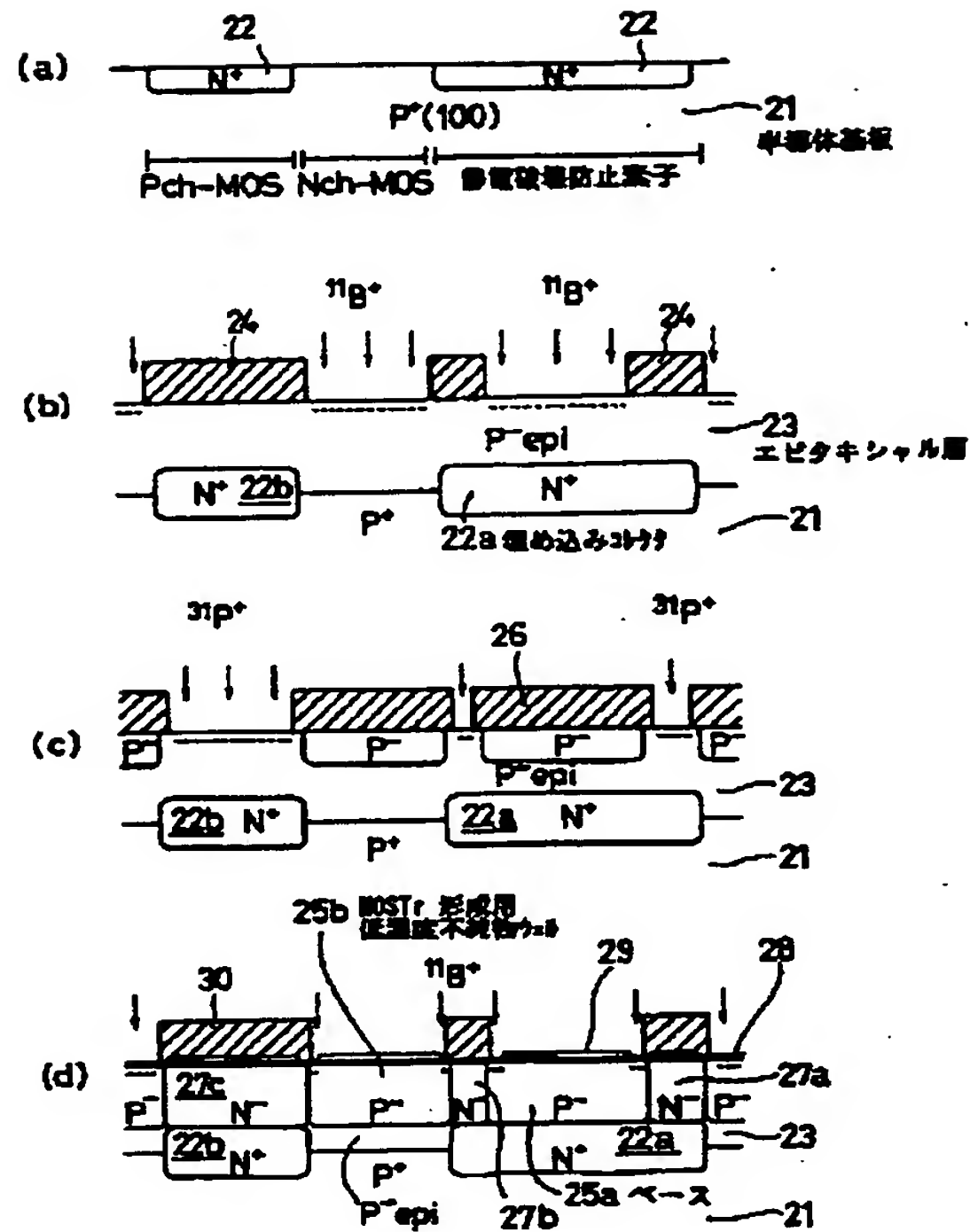
【図 11】



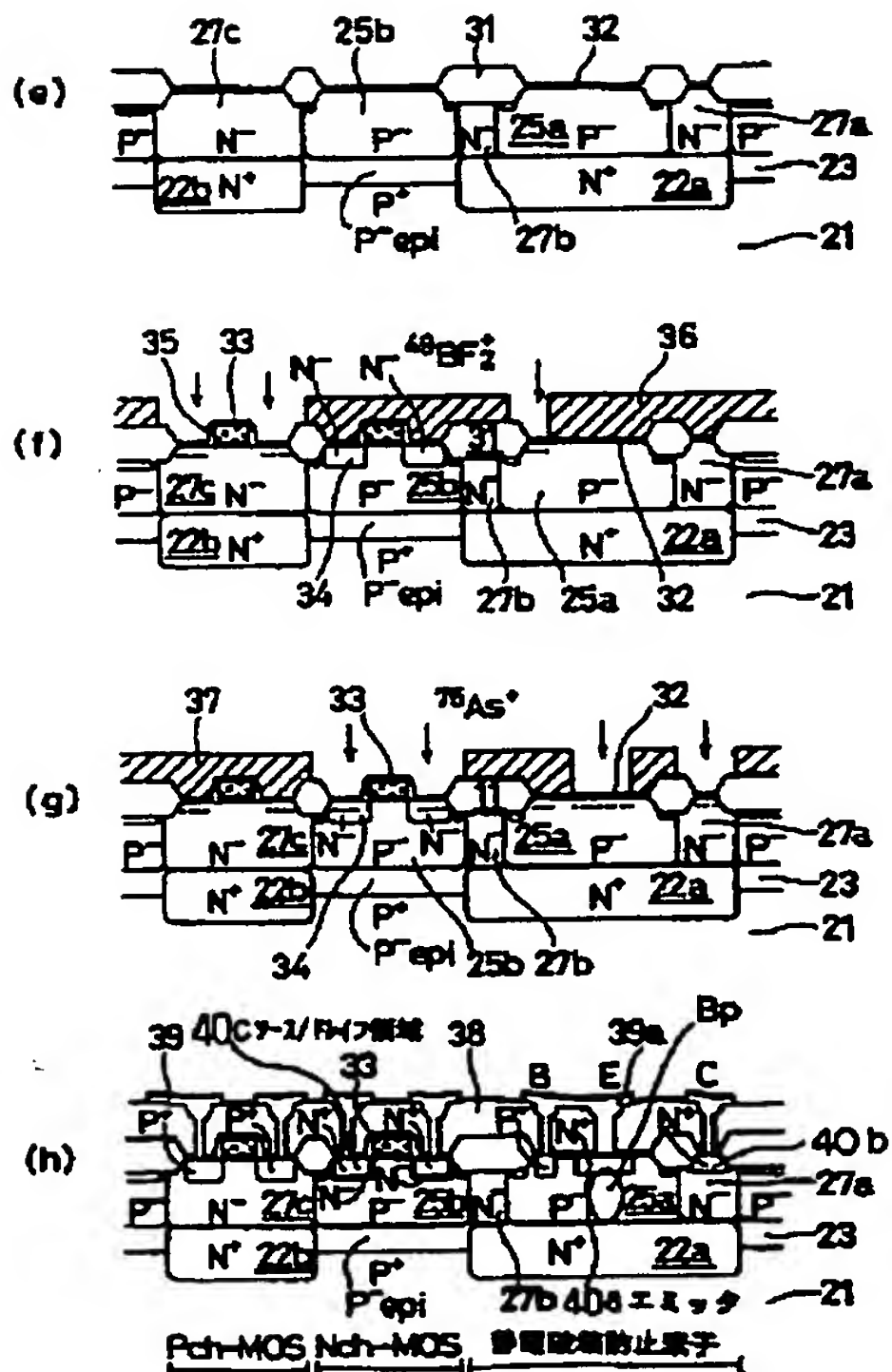
【図6】



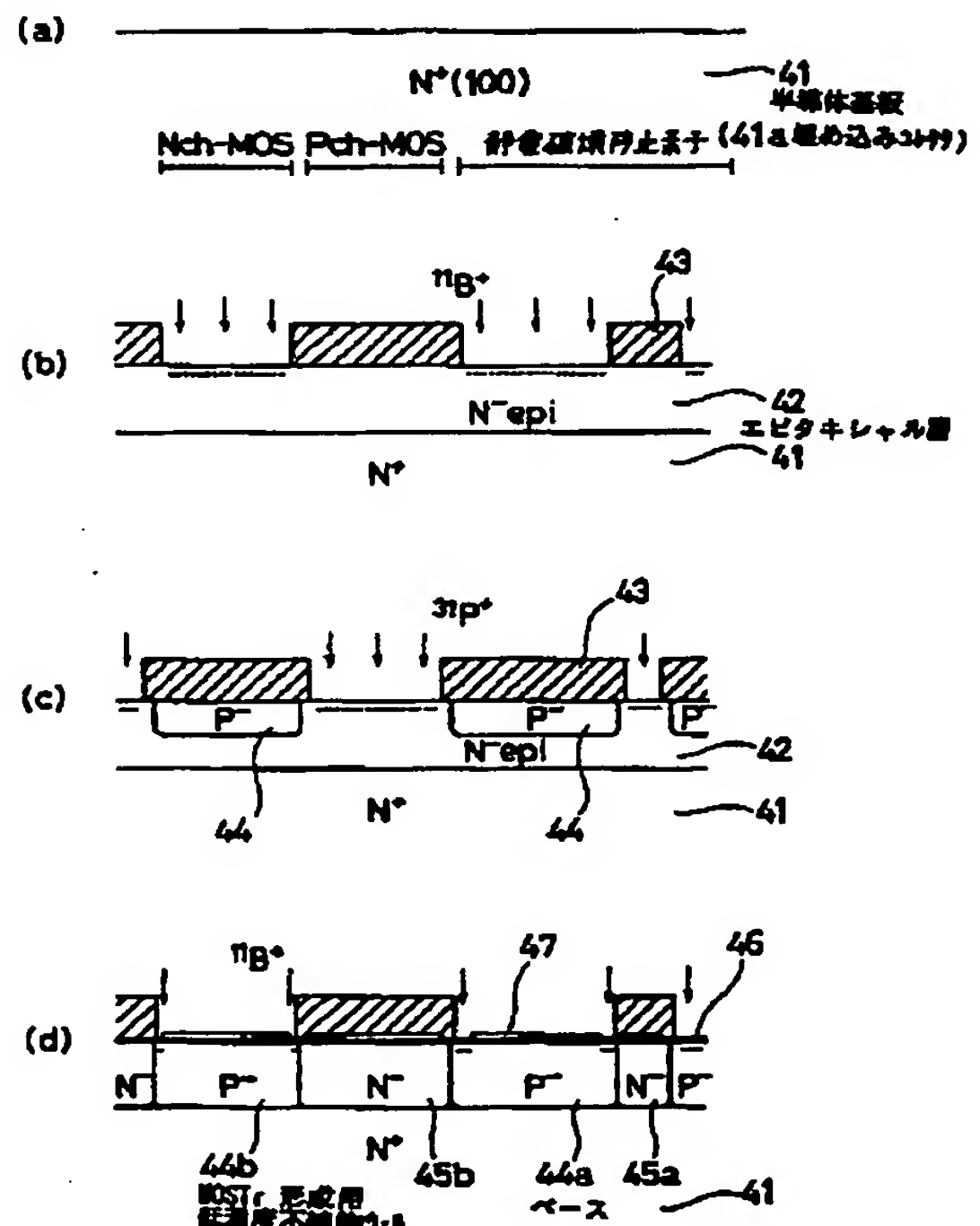
【図7】



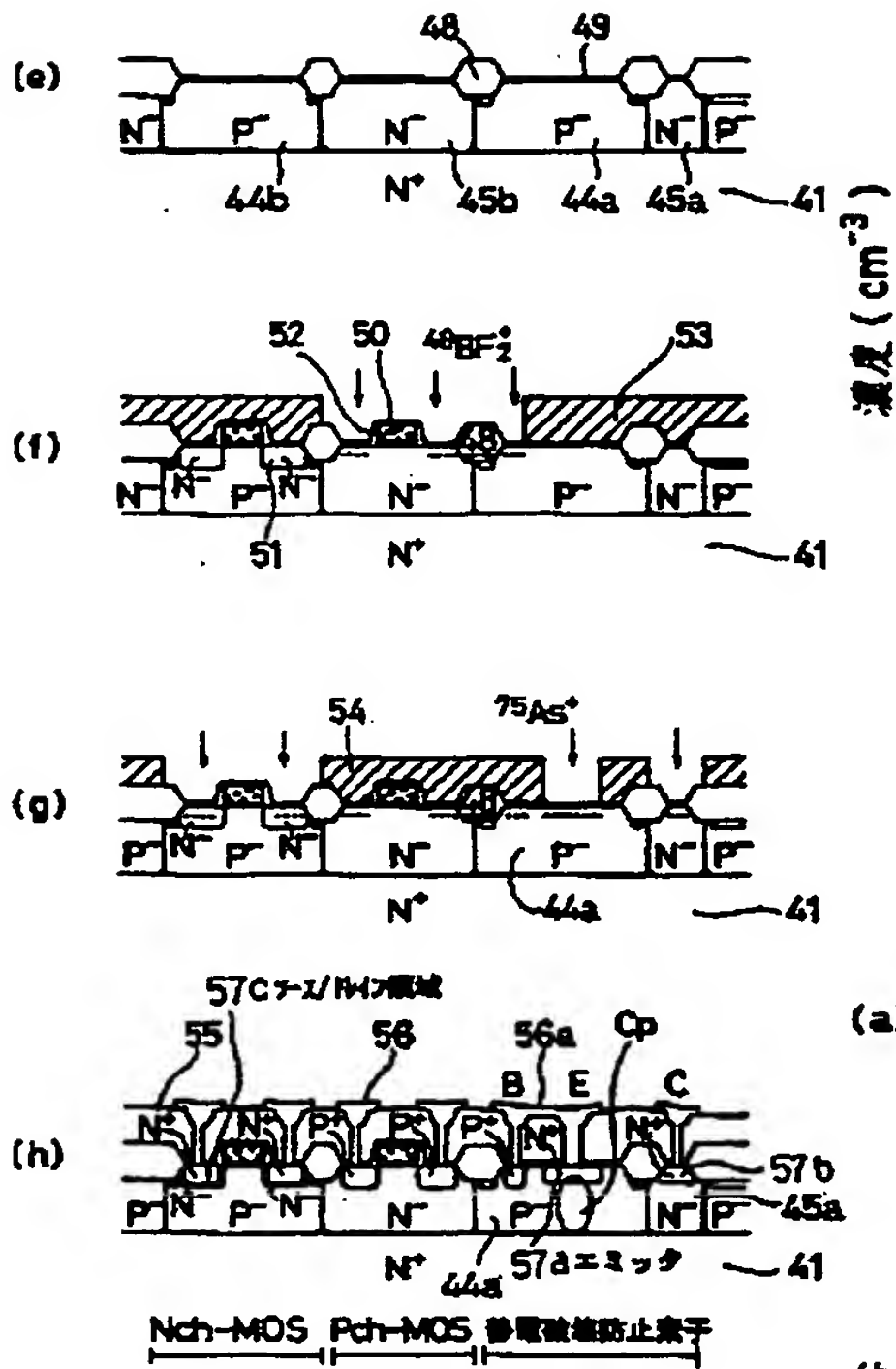
【図8】



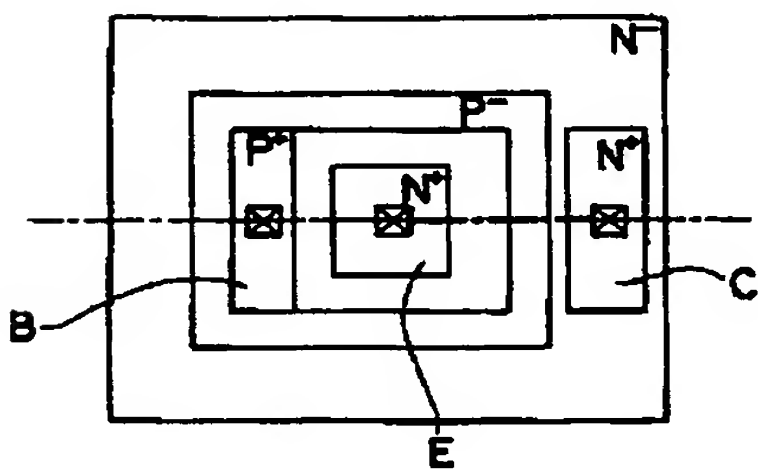
【図9】



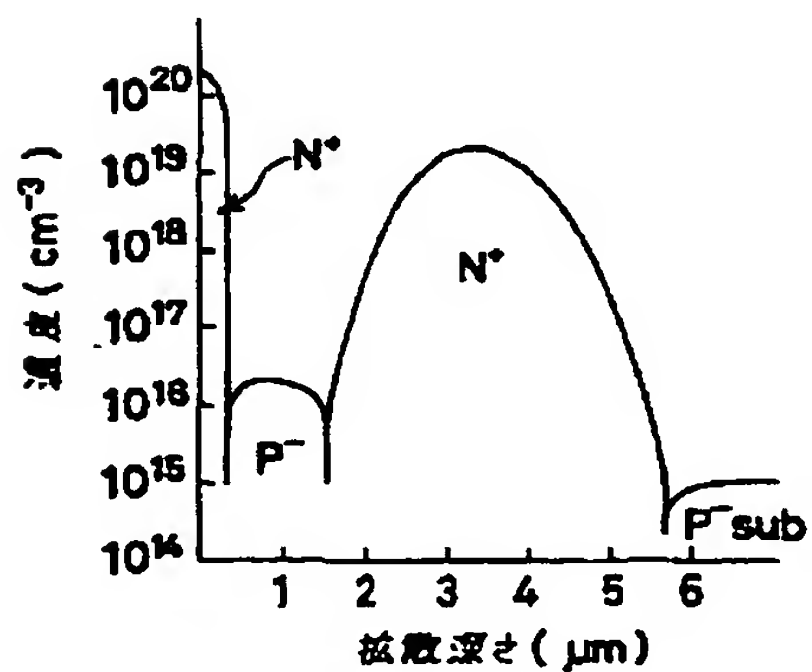
【図10】



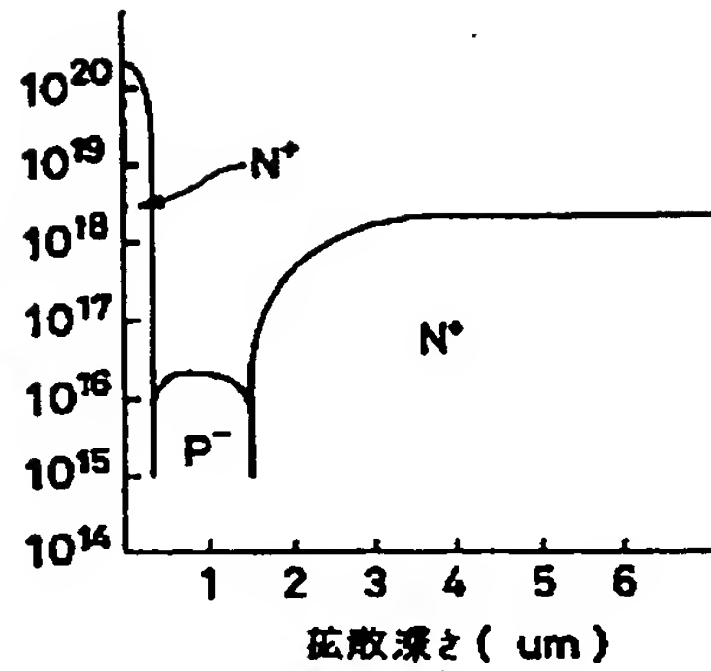
【図15】



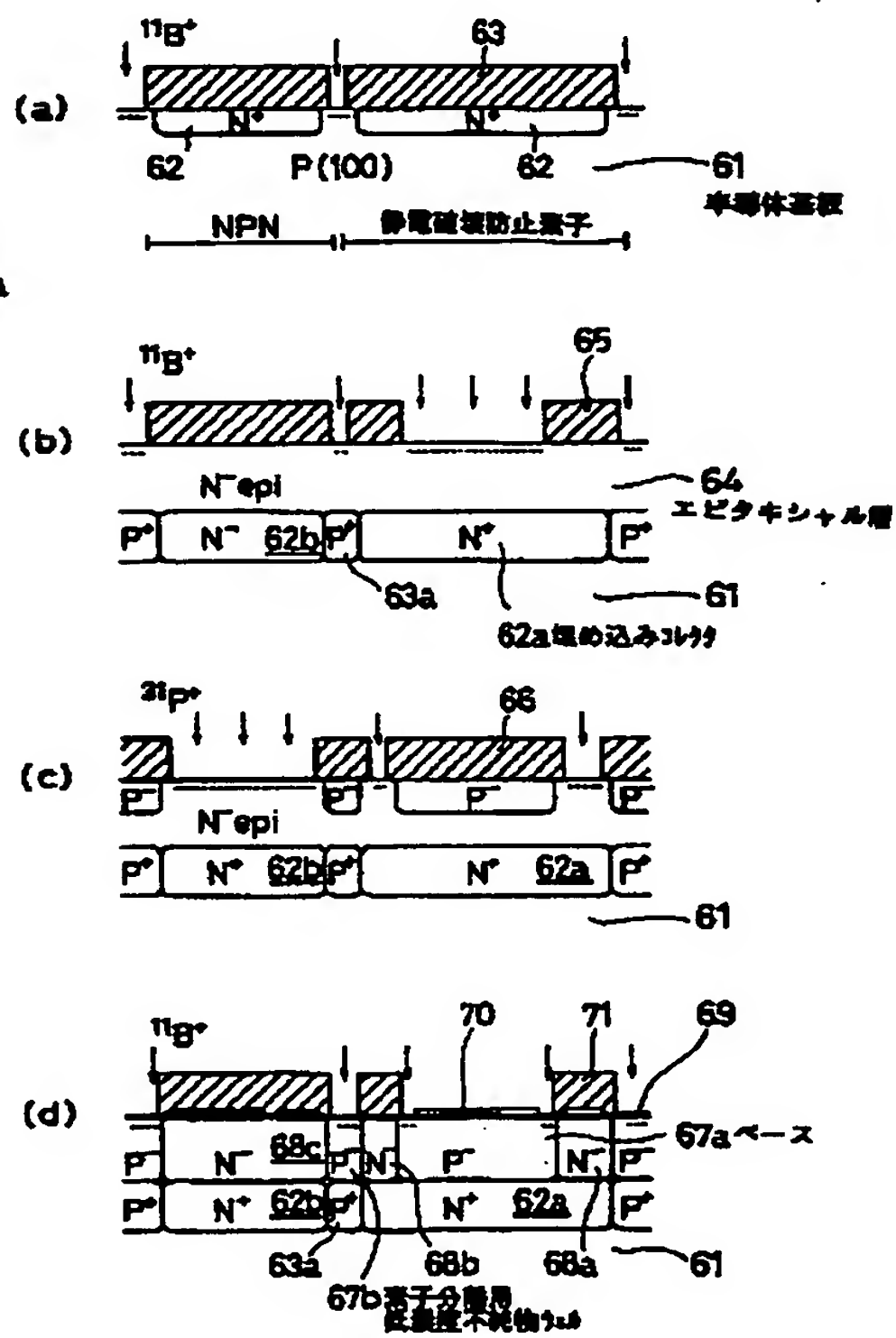
【図16】



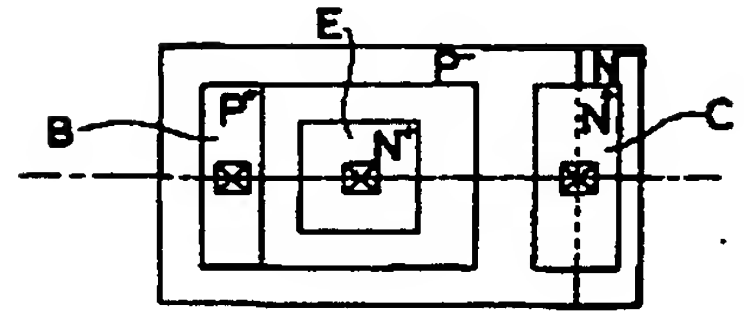
【図12】



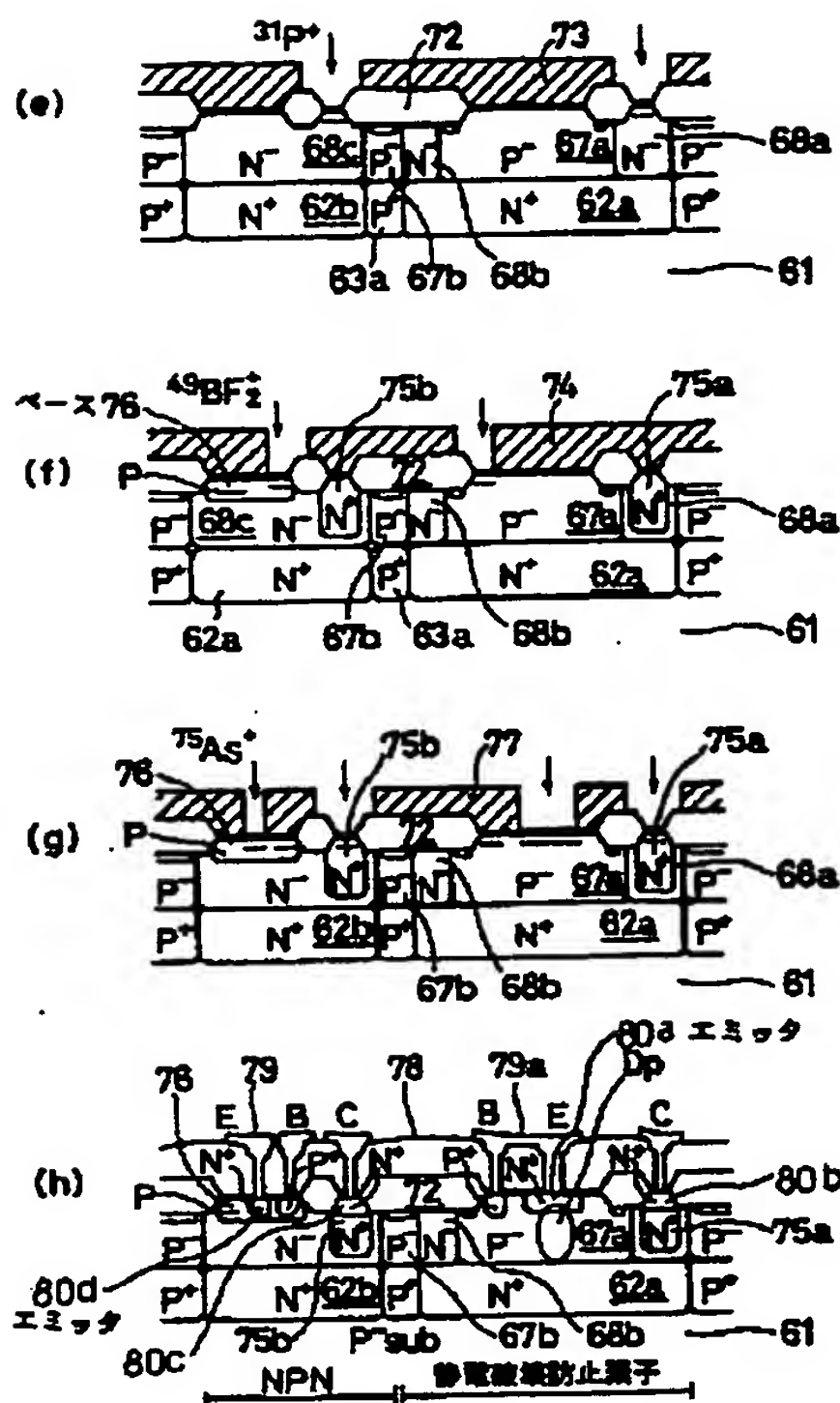
【図13】



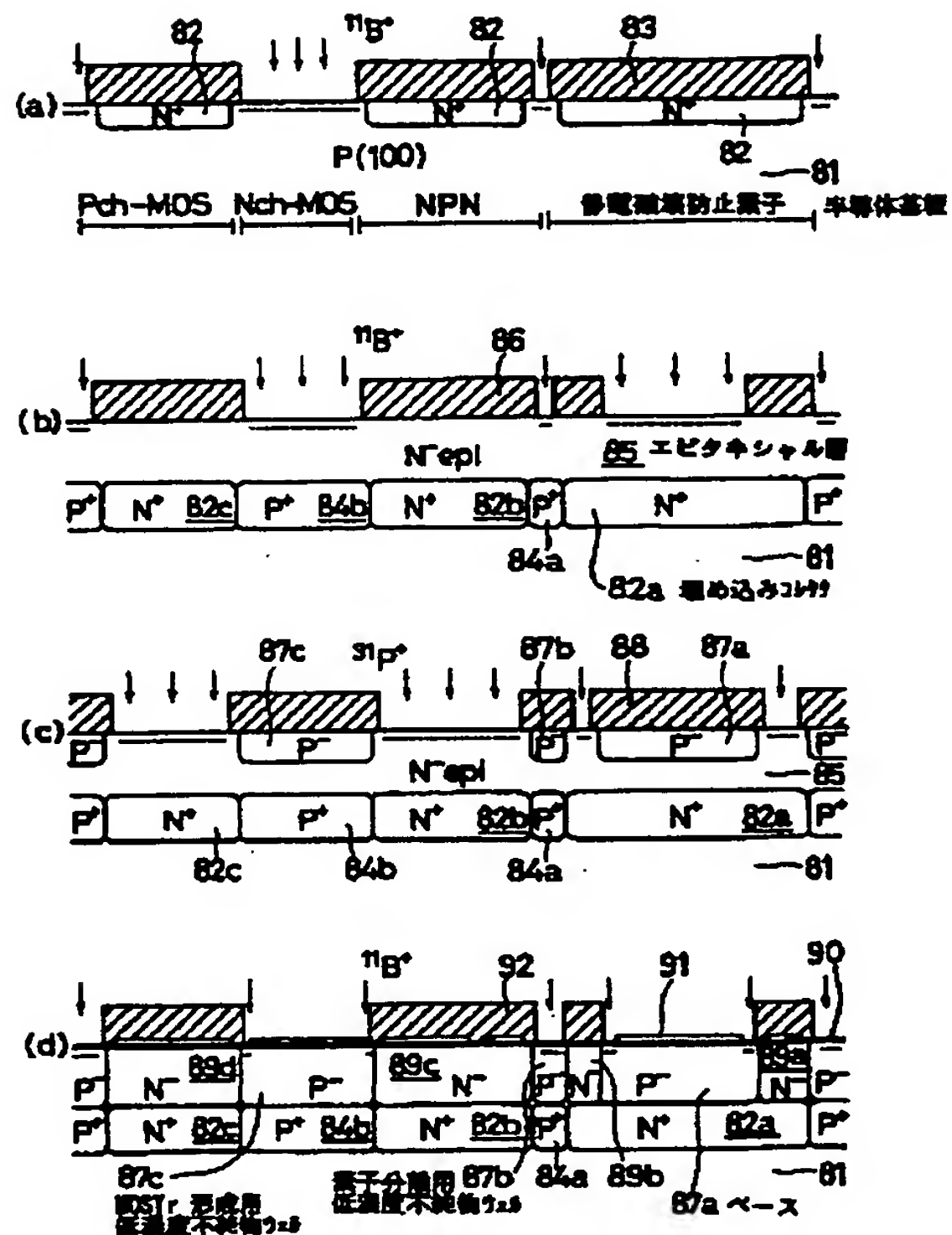
【図27】



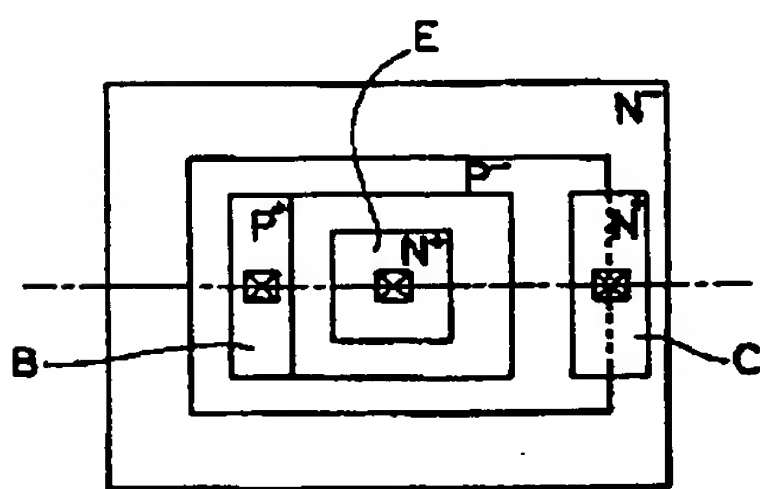
【図 14】



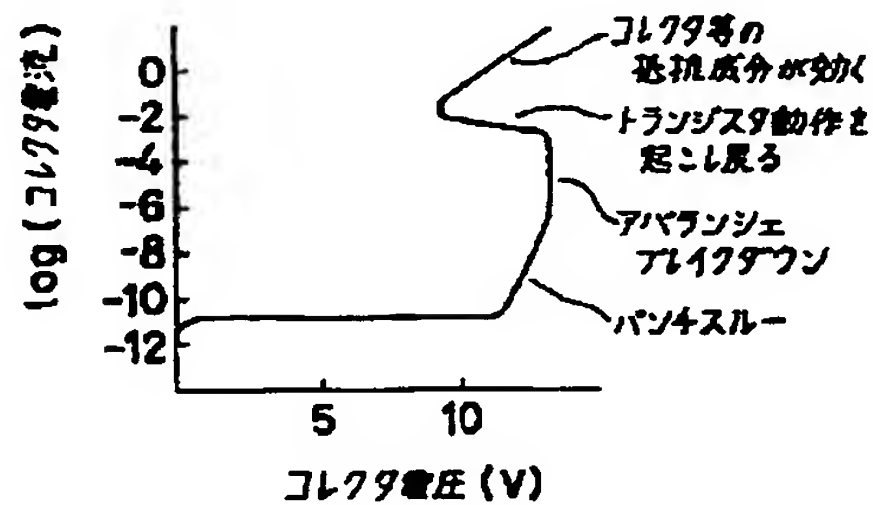
【図 17】



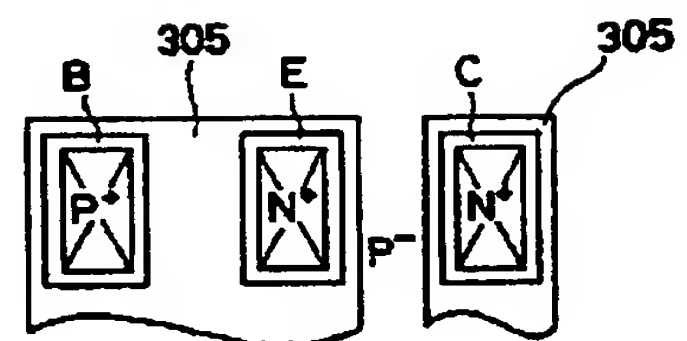
【図 21】



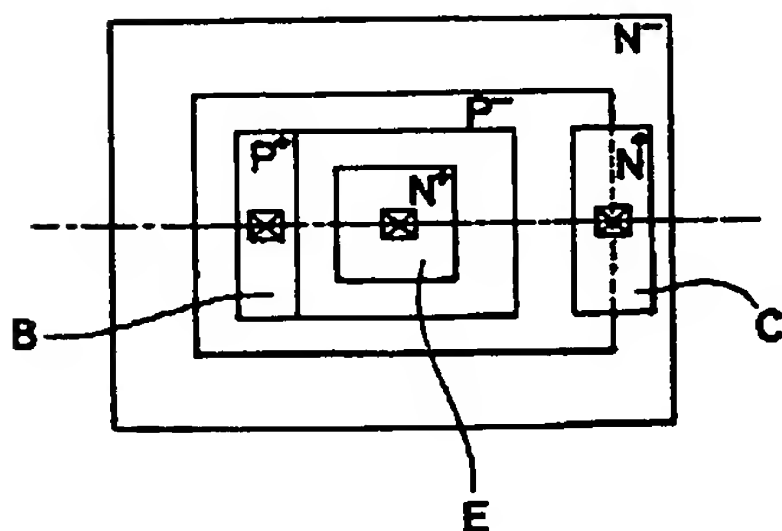
【図 22】



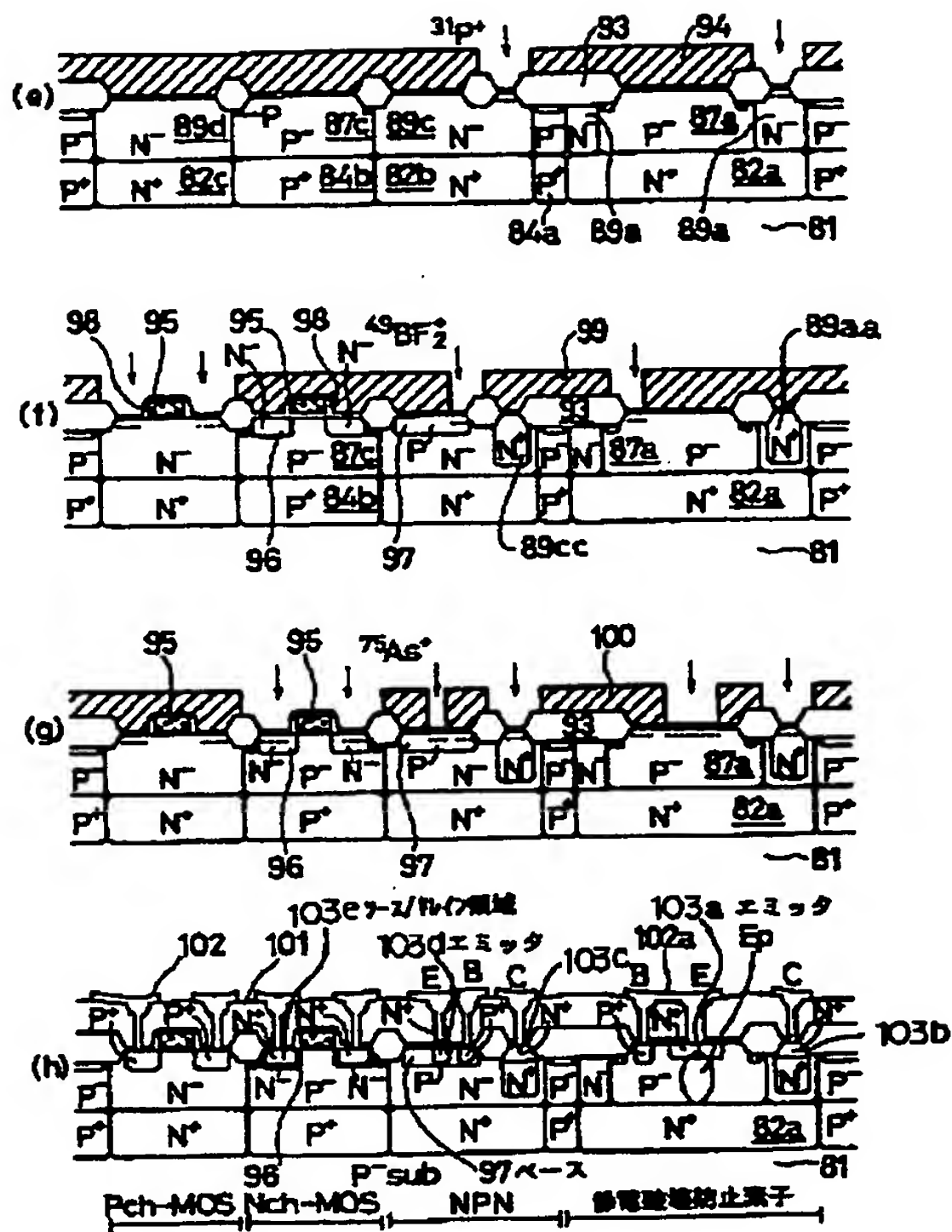
【図 35】



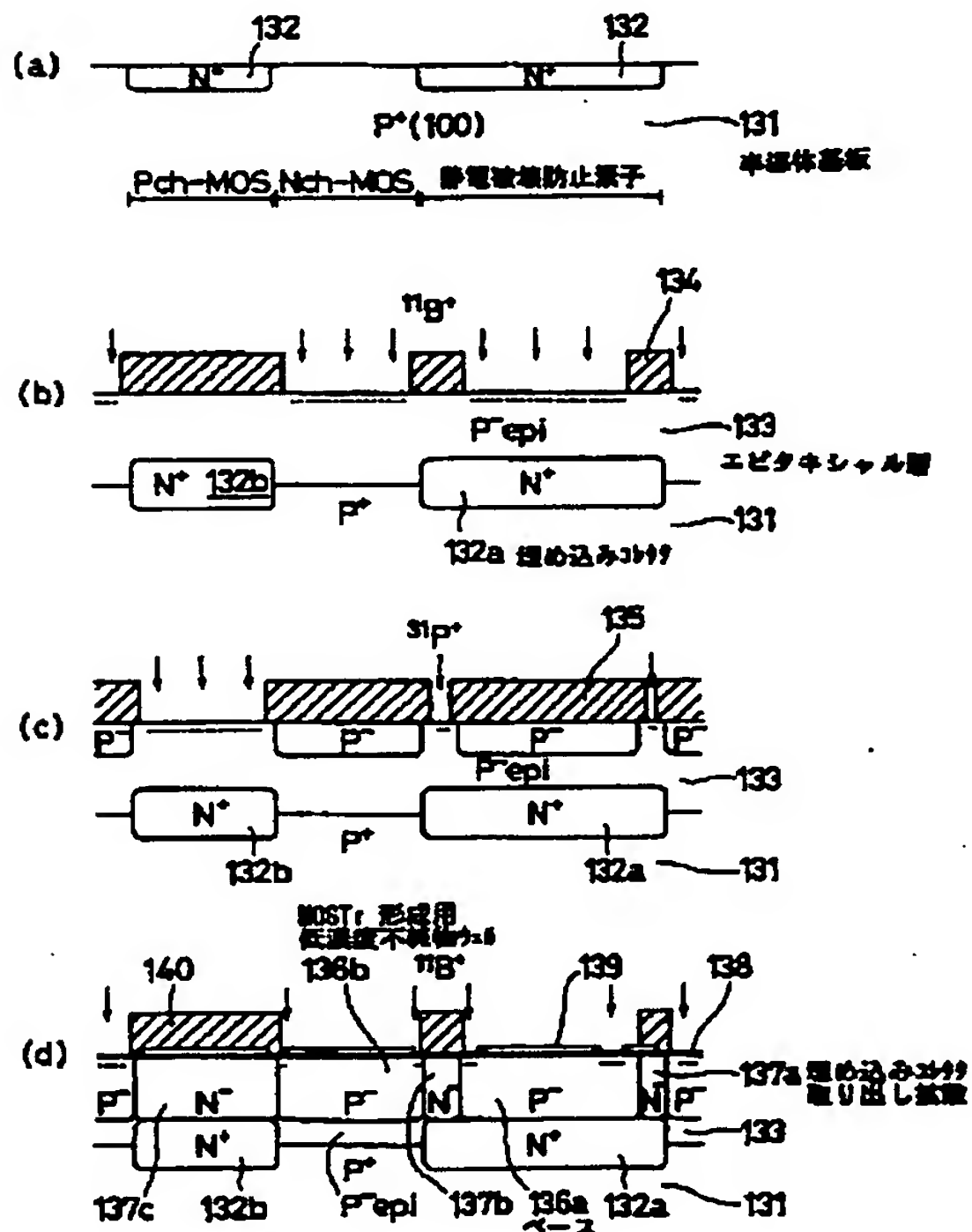
【図 30】



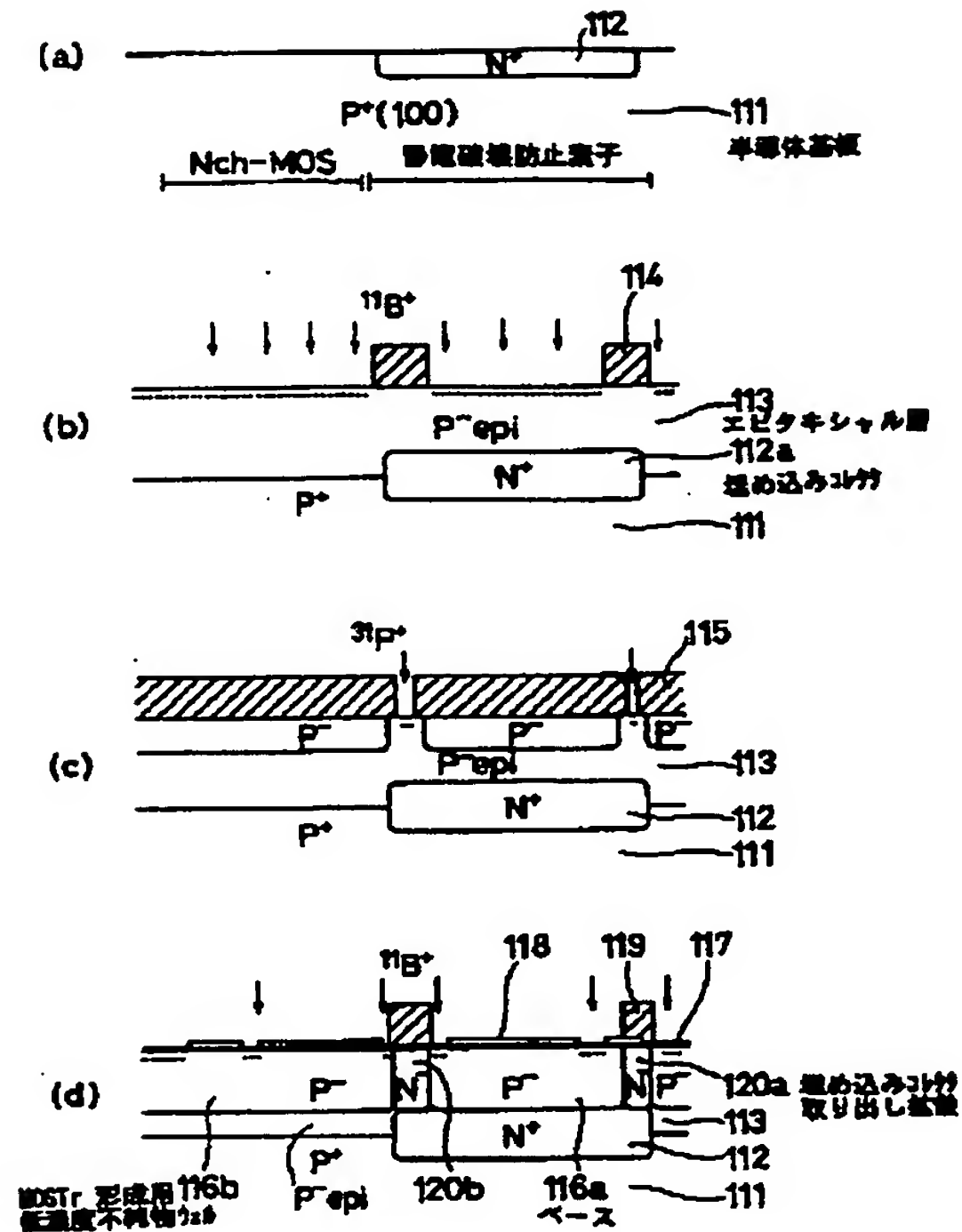
【例 18】



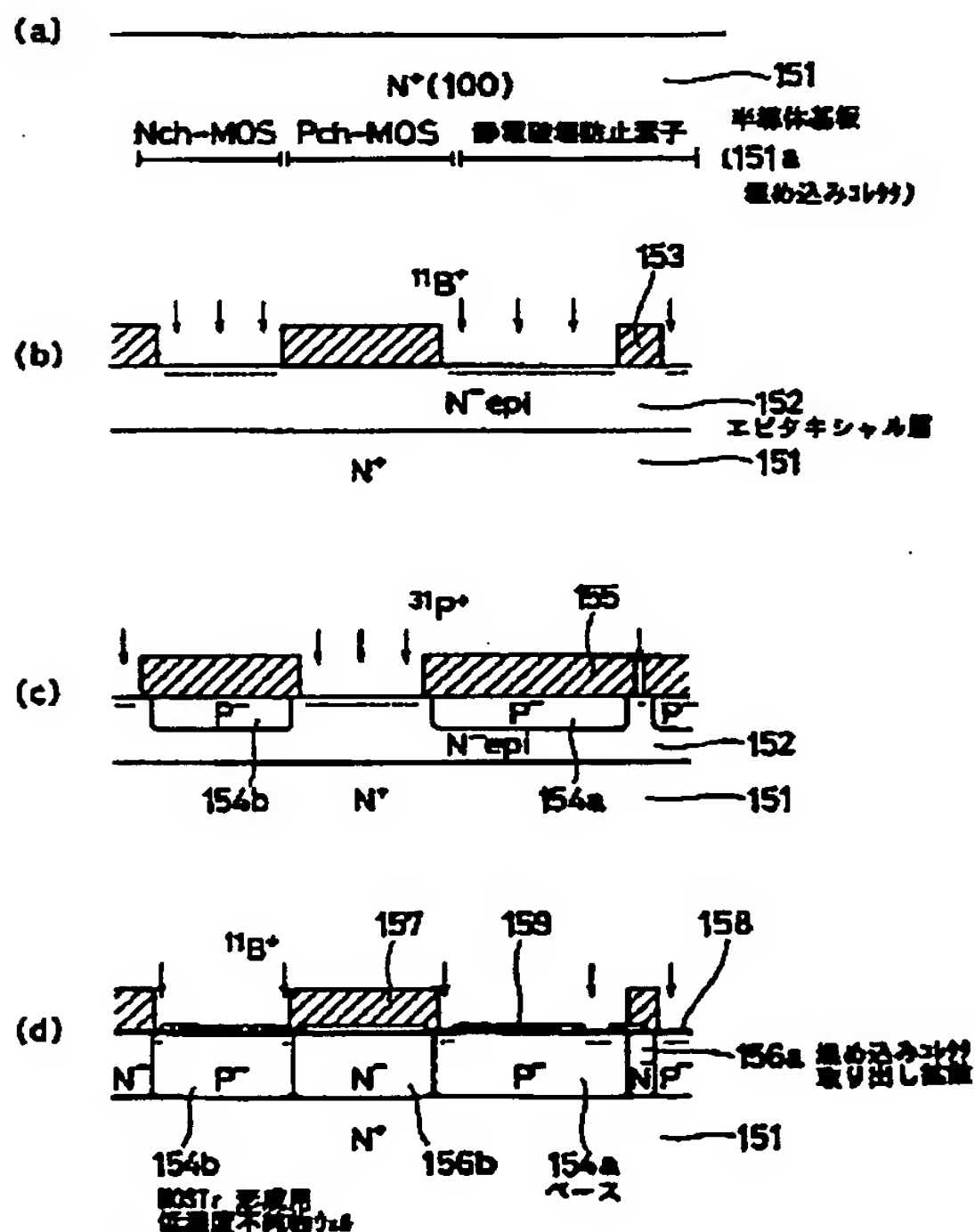
【图 2 3】



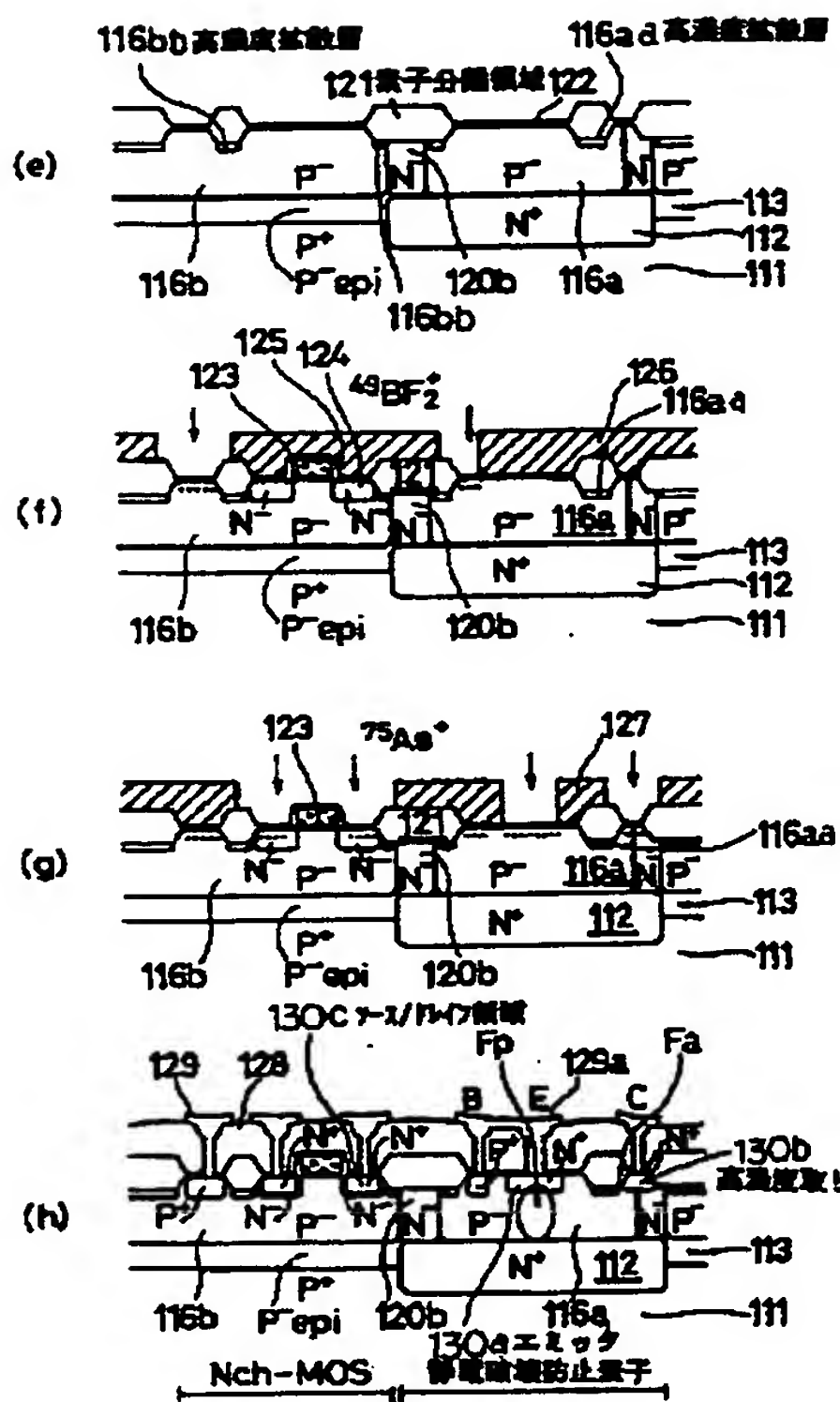
【☒ 19】



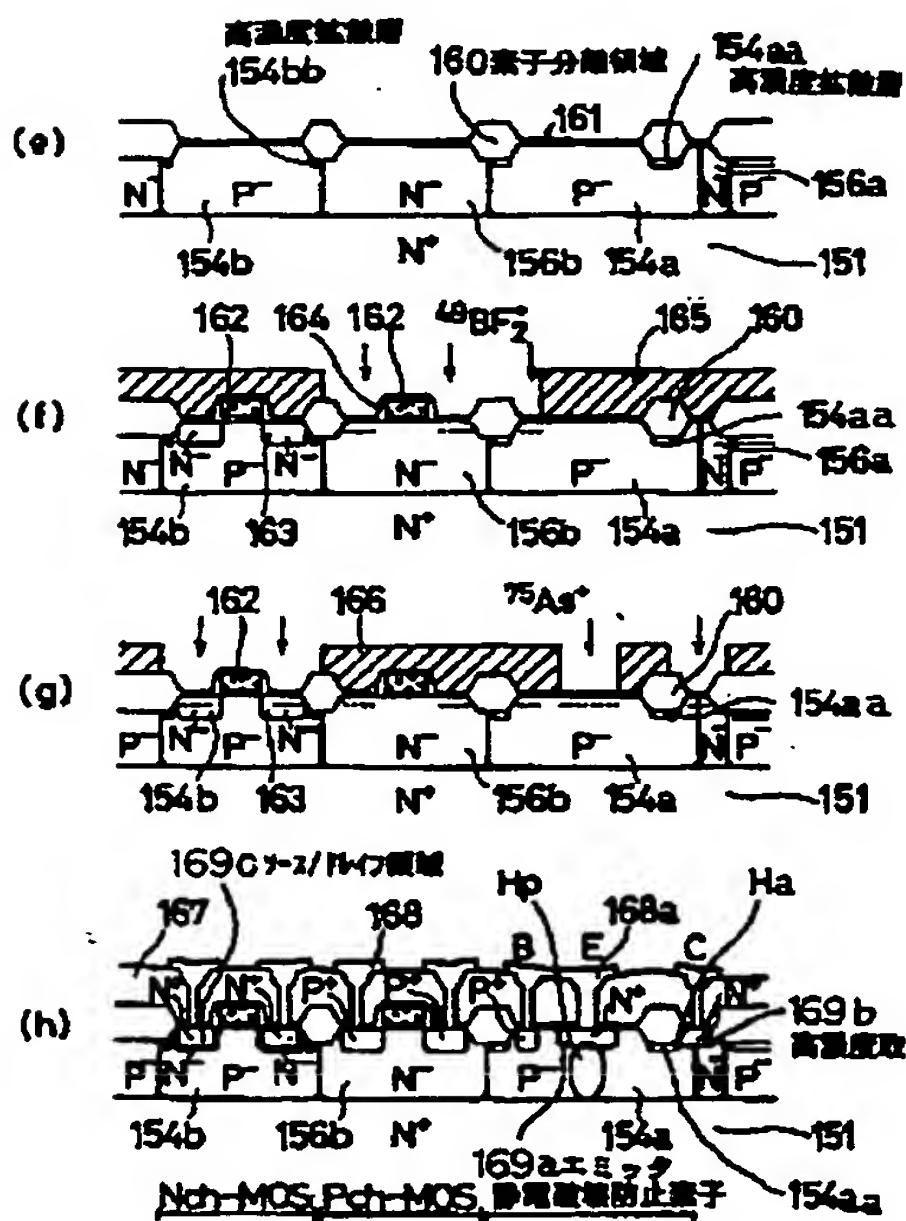
【图 25】



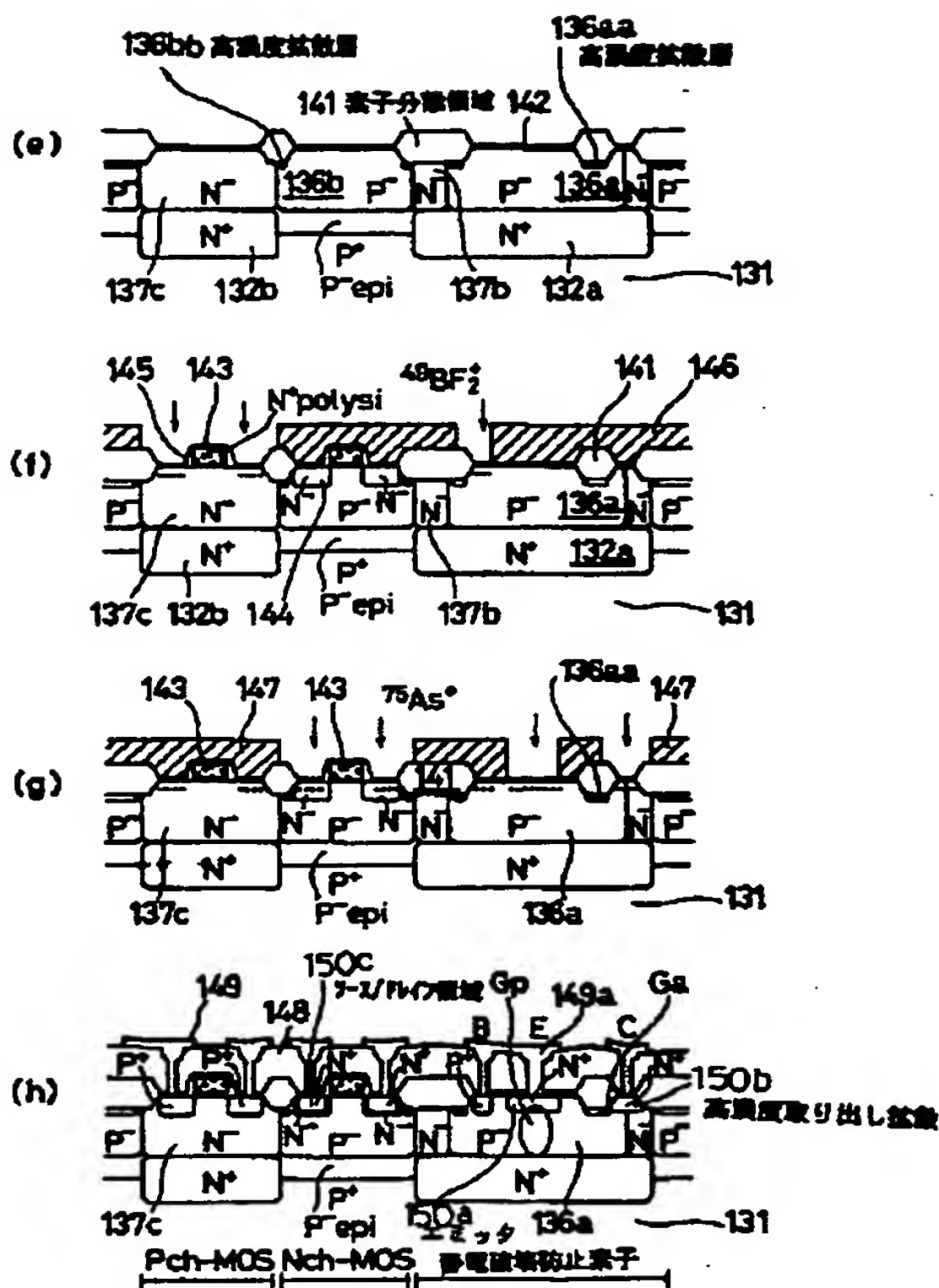
【図20】



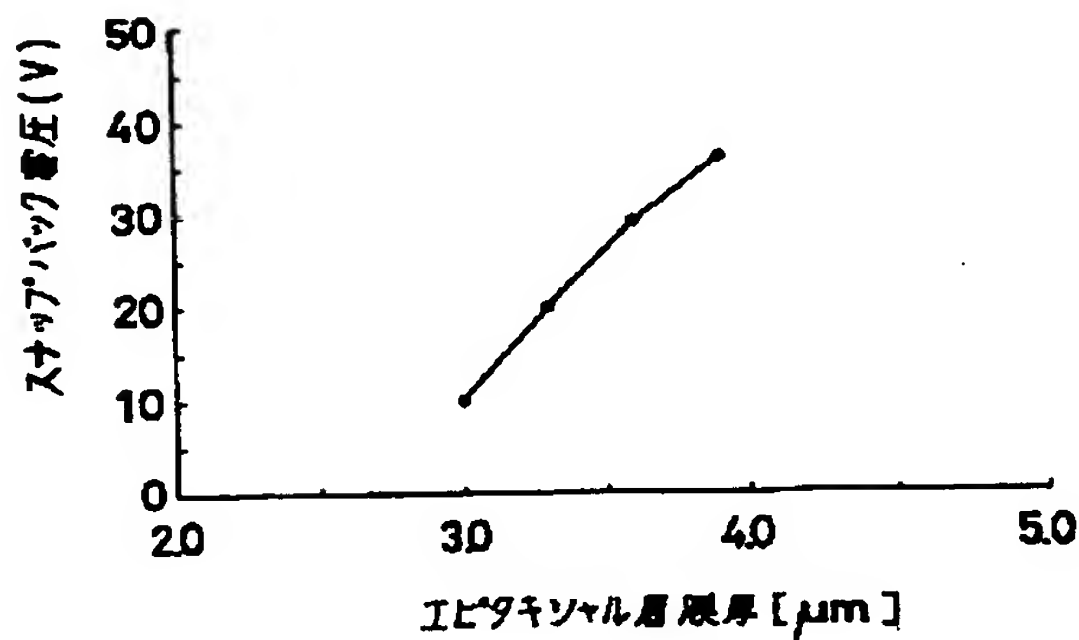
【図26】



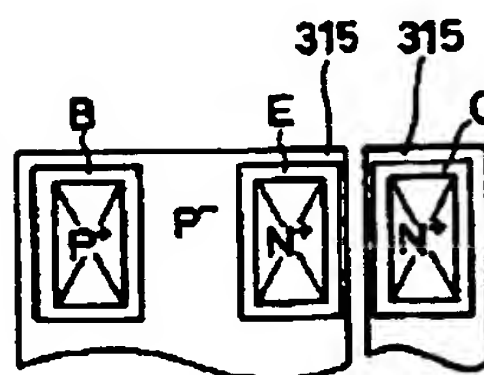
【図24】



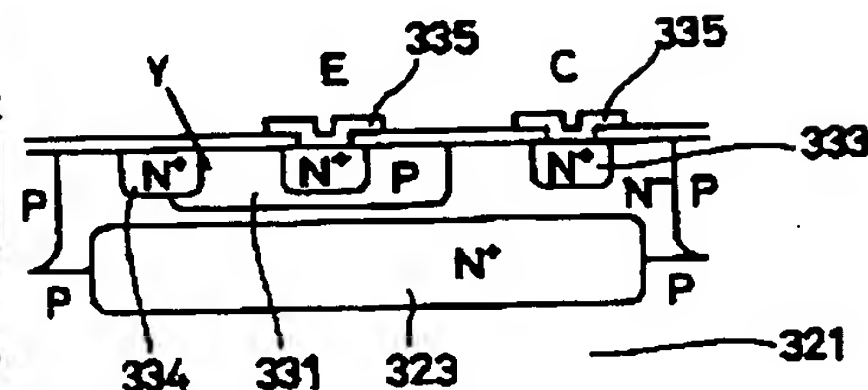
【図33】



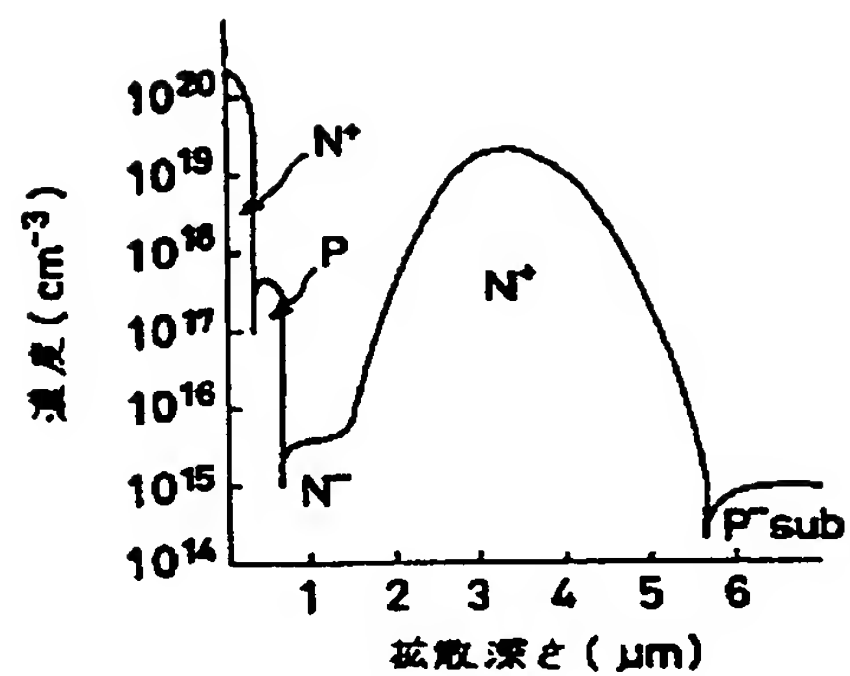
【図37】



【図39】



【図 4 1】



フロントページの続き

(51)Int.Cl. 6

29/73

識別記号

F I

9170-4M

H01L 27/06

321

B

27/04

H

29/72